

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2007 年版

配線

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2007 Edition(国際半導体技術ロードマップ 2007年版)の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)、2 つのタスクフォース(設計タスクフォースと故障解析タスクフォース)、経済性検討小委員会が組織され、半導体集積回路メーカー、半導体製造装置メーカー、材料メーカー、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2007年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、2007年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。

訳文の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただければありがたい。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。本書の巻末に用語集(Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、恩田豊さん、近藤美智さん、明石理香さんには大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2008年5月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長

石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2007 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology
Industries Association under the license of the Semiconductor Industry Association

—引用する場合の注意—

原文(英語版)から引用する場合： 2007 ITRS page XX, Figure(Table) YY

この和訳から引用する場合： 2007 ITRS JEITA 和訳 XX 頁,図(表)YY

と明記してください。

問合せ先：

社団法人 電子情報技術産業協会

半導体技術ロードマップ専門委員会 事務局

Tel: 03-5275-7258 [mailto: roadmap@jeita.or.jp](mailto:roadmap@jeita.or.jp)

TABLE OF CONTENTS

配線	1
概要	1
困難な技術課題	2
技術的要求	4
解決策候補	12
絶縁膜に関する解決策候補	12
拡散防止(バリア)膜解決策候補	19
導電体膜に関する解決策候補	21
膜成長核形成に関する解決策候補	24
平坦化に関する解決策候補	25
エッチング解決策候補	29
配線構造の表面処理	32
受動素子	40
イントロダクション	40
MIMキャパシタ	40
インダクタ	41
抵抗体	41
信頼性	42
イントロダクション	42
Cuメタライゼーション	42
ULK (Ultra Low-k Materials) 材料	43
ULK材料(多孔質Low-k)	43
Cu/Low-k材料とプロセス	43
モデリングとシミュレーション	44
将来の信頼性の動向	44
システム及び性能に関する課題	45
配線性能	45
システムレベルでの集積化要求	45
新しい配線のコンセプトと抜本的な解決策	46
イントロダクション	46
金属／絶縁体システム以後の配線	46
異なる信号伝送方式	47
革新的なデザインとパッケージオプション	48
三次元IC	49
信号伝達のための種々の物理	54
CMOS対応光配線	54
RF/マイクロ波配線	56
テラヘルツ導波管及びプラズモン	57
カーボンナノチューブ	57
抜本的な解決策	61
分野をまたがる問題	62
配線と設計とモデリングとシミュレーション	62
2007 ITRS INTERCONNECT APPENDIX	63

LIST OF FIGURES

FIGURE INTC1	CU RESISTIVITY	4
FIGURE INTC2	CROSS-SECTION OF HIERARCHICAL SCALING—MPU DEVICE	5
FIGURE INTC3	CROSS-SECTION OF HIERARCHICAL SCALING—ASIC DEVICE	7
FIGURE INTC4	TYPICAL ILD ARCHITECTURES	7
FIGURE INTC5	DIELECTRIC POTENTIAL SOLUTIONS	15
FIGURE INTC6	BARRIER POTENTIAL SOLUTIONS	21
FIGURE INTC7	CONDUCTOR POTENTIAL SOLUTIONS	23
FIGURE INTC8	NUCLEATION POTENTIAL SOLUTIONS	25
FIGURE INTC9	PLANARIZATION POTENTIAL SOLUTIONS	28
FIGURE INTC10	ETCH POTENTIAL SOLUTIONS	32
FIGURE INTC11	INTERCONNECT SURFACE PREPARATION POTENTIAL SOLUTIONS	38
FIGURE INTC12	TWO WAFERS STACKED AND BONDED FACE-TO-FACE WITH A HIGH DENSITY VIA CONTACT	52

•

LIST OF TABLES

TABLE INTC1	INTERCONNECT DIFFICULT CHALLENGES	3
TABLE INTC2A	MPU INTERCONNECT TECHNOLOGY REQUIREMENTS—NEAR-TERM YEARS	8
TABLE INTC2B	MPU INTERCONNECT TECHNOLOGY REQUIREMENTS—LONG-TERM YEARS	10
TABLE INTC3A	DRAM INTERCONNECT TECHNOLOGY REQUIREMENTS—NEAR-TERM YEARS	12
TABLE INTC3B	DRAM INTERCONNECT TECHNOLOGY REQUIREMENTS—LONG-TERM YEARS	12
TABLE INTC4A	INTERCONNECT SURFACE PREPARATION TECHNOLOGY REQUIREMENTS—NEAR-TERM YEARS	35
TABLE INTC4B	INTERCONNECT SURFACE PREPARATION TECHNOLOGY REQUIREMENTS—LONG-TERM YEARS	37
TABLE INTC5	OPTIONS FOR INTERCONNECTS BEYOND THE METAL/DIELECTRIC SYSTEM	47
TABLE INTC6	HIGH DENSITY THROUGH SILICON VIA DRAFT SPECIFICATION	52
TABLE INTC7	MINIMUM DENSITY OF METALLIC SWCNTs NEEDED TO EXCEED MINIMUM CU WIRE CONDUCTIVITY	60

•

•

配線

概要

1994 年の NTRS (National Technology Roadmap for Semiconductor) の配線技術の章では、予想される技術的要求全体を満たすための新しい配線金属と絶縁膜材料への最初の要求が示された。NTRS の 1997 年版では、銅 (Cu) を使ったチップの開発導入が差し迫っていた。1999 年版 NTRS では、かつてないペースで導入されつつあった新材料の開発が強調された。2001 年版 ITRS では、新材料の継続的な導入が記載され、また配線幅が電子の平均自由行程に近づくに従って配線抵抗が増加する問題が強調された。2003 年版では、MPU や ASIC への低誘電率 (low-k) 絶縁膜の導入ペースが予想したものより遅れていることが、ITRS 配線分野の中心課題のひとつであった。2005 年版 ITRS では、電子散乱によって増加する Cu 抵抗率と、それによって変化する抵抗・容量積 (RC) の配線性能指標を記載している。またクロストークの指標が新たに導入されている。依然としてメモリデバイスが、最小寸法を争うテクノロジードライバーではあるものの、MPU のメタル 1 (M1) ピッチは、2010 年に DRAM と同じ値になると予想している。配線中で消費される動作時電力の重要性が増大するという認識の下、新しい電力指標が MPU と ASIC の技術的要求表に加えられている。電力指標は、単位周波数 (GHz)、単位面積 (cm^2) あたりの電力 (W) である。low-k 絶縁膜の積極的な導入により、電力指標は長期的には飽和傾向を示すが、周波数と配線層数が増加するため、配線で消費される全電力は急激に増加すると予想される。メタル 1、中間層、最小線幅のグローバル配線における単位長さあたりの配線容量も、MPU と ASIC の技術的要求表に加えられている。各配線層の Cu 抵抗率は前年度版で既に記載されており、配線容量を加えることで、抵抗・容量積 (RC) を容易に求めることができる。

当面 (near term) の挑戦的技術にあげられている事柄は、急速に立ち上がる材料導入と、それに伴う複雑さを反映している。長期 (long term) でみると、従来型のスケーリングに伴う材料変更では、もはや性能要求を満たせなくなっている。解決策は、設計・実装の斬新な開発努力とあいまった垂直配線インテグレーション、あるいは光、無線 (RF) を使った革新的な配線技術の中にあるであろう。

配線あるいはワイヤリングシステムの役目は、チップ上のさまざまな回路やシステムに、同期などの信号を伝達し、電力とか接地ラインを供給することである。配線に関する開発要求の基本は、デザインルールをさらに縮小しても、チップの高速伝送要求を満足することである。

Cu 配線を使用したチップは、層間膜に酸化膜を使って 1998 年に導入されたが、技術ロードマップで示された層間膜の誘電率の減少は、問題含みで推移してきている。フッ素添加酸化膜 ($k=3.7$) は 180nm 世代で導入されたが、比誘電率が $k=2.7-3.0$ の材料は、90nm 世代まで広く採用されなかった。すなわち、低誘電率膜をデュアルダマシ Cu プロセスでインテグレーションした場合、信頼性や歩留まりの問題が、当初の考えていたよりも困難であることが明らかになってきた。多孔質 (ポーラス) 低誘電率 (low-k) 材料のインテグレーションは、さらに困難が予想される。これらの新しい低誘電率膜の開発と完成度の向上は、絶えず行われることになるから、MPU 製品サイクルの加速 (2009 年まで、3 年から 2 年に) が、達成可能な k 値を引き下げるであろう。今後、ロードマップ上でデュアルダマシ構造を構成すると予想される、さまざまな低誘電率材料が解決策候補の図に明示されている。層間膜のバルクとしての比誘電率の範囲と、インテグレーションされた場合の実効的な比誘電率値の範囲が、技術的要求表に載せられている。これらの新しい低誘電率膜の導入は、拡散防止 (バリア) 膜や核成長 (シード) 膜の膜厚低減と、均一性の向上と合わせて行う必要があり、インテグレーションする上で困難な技術課題といえる (より詳しい説明が必要であれば、「様々なインテグレーション方法に対する実効的な比誘電率値の計算」が Appendix に記載されている)。

導電膜、拡散防止膜、核成長膜の解決策の候補は、ローカル、メタル 1、中間層配線層、グローバル配線層の箇所に、受動素子と一緒にまとめられている。電子散乱効果による Cu の抵抗率上昇は、長期的に重要な要

素になるであろうし、注目すべき分野である。原子層堆積法(Atomic layer deposition: ALD)は、下地の凹凸に無関係な優れた膜厚均一性と膜厚制御が特徴であり、導電膜、拡散防止膜や核成長膜、高誘電率膜の形成用として、依然として注目されている。電子散乱効果に起因する Cu 抵抗率の増加は、短期的にも重大な技術課題であり、注力すべき分野である。結晶粒界と界面の両方の散乱による抵抗率の扱いに関しては評価技術の貢献が大きい。今までのところ、この現象の解決策となるような技術は見出されていない。

平坦化の解決策候補は、導電膜の平坦化と絶縁膜の平坦化の 2 つに分けられてきた。低誘電率膜とのインテグレーションに関する主要課題の一つは、平坦化過程での拡散防止層やキャップ層と、層間膜との密着性不良である。多孔質低誘電率膜では、さらに問題となりやすく、それ故、平坦化技術開発努力の最重要領域の一つである。

実効的な比誘電率の要求値を満足させるためにさまざまな無機、有機、ハイブリッド材料が用いられるロジック技術では、層間膜のエッチングが、今後もエッチングの解決策候補に関する主要課題となる。既存のプラズマ源やエッチングガスの技術の継続的な改善が、PRAM、MRAM、FeRAM といった新規の不揮発性メモリはもとより CMOS ロジックや DRAM 技術の今後のスケールアップが必要とする解決策を提供するであろうと期待されている。配線の表面処理の解決策候補には、エッチング後のフォトリソの剥離、剥離後の残渣除去、絶縁膜とメタル表面の化学機械研磨(CMP)後のクリーニング、絶縁膜とメタル表面の成膜前のクリーニング、および成膜後のクリーニングが含まれている。Cu と ULK 材料で構成される配線構造は、困難な表面処理の課題を提起し続けている。例えば、エッチングに起因する側壁ダメージは誘電率 k を増加させ、それを最小化しなければいけない。エッチング後のレジスト剥離は、実効的な k 値の増加につながる、low- k 材料のダメージを引き起こすことが示されている。

困難な技術課題

TableINTC1 には、22nm ノードを境にした当面(Near Term)と長期(Long Term)の 5 つのキーとなる取組みを示した。当面の最も重要な課題は、配線の電導度の要求を満たし、絶縁膜の誘電率を低減することのできる新材料の導入である。長期的には、配線構造でのサイズ効果の影響を緩和しなければならない。

将来的に実効誘電率の要求値が下がっていくと、デュアルダマシン構造でのエッチストップパターンの使用が不可能になる。寸法制御は、現在から将来に亘る世代の配線技術のキーとなる技術課題であり、その結果、RC (容量・抵抗積)のバラツキを抑制できる Low- k 絶縁膜を用いた精密なトレンチ・ビア構造を形成することがエッチングにおける重大な技術課題となる。主流となっているダマシン構造では、パターニング、エッチング、平坦化で厳しい制御が要求される。性能を最大限に引き出すためには、配線工程では、招かれざる RC の劣化を発生する形状のバラツキは許容されない。これらの寸法制御の要求は、高アスペクト構造における高スループットの画像計測の新しい需要を引き起こす。新しい計測技術には、密着性や欠陥のインラインでのモニタリングも要求される。大口径のウェーハとテストウェーハを制限する要求は、ますます in-situ でのプロセス制御技術の採用へと進んでいくであろう。現時点で困難となっている寸法制御は、ポーラス Low- k 絶縁膜や ALD (Atomic Layer Deposition)メタルのような新材料では、いっそう厳しくなり、より微細なピッチや、中間層配線やグローバル配線での高アスペクトパターンで重要な役割を果たすであろう。

Table INTCl Interconnect Difficult Challenges

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
Introduction of new materials to meet conductivity requirements and reduce the dielectric permittivity*	The rapid introductions of new materials/processes that are necessary to meet conductivity requirements and reduce the dielectric permittivity create integration and material characterization challenges.
Engineering manufacturable interconnect structures, processes and new materials*	Integration complexity, CMP damage, resist poisoning, dielectric constant degradation. Lack of interconnect/package architecture design optimization tool
Achieving necessary reliability	New materials, structures, and processes create new chip reliability (electrical, thermal, and mechanical) exposure. Detecting, testing, modeling, and control of failure mechanisms will be key.
Three-dimensional control of interconnect features (with its associated metrology) is required to achieve necessary circuit performance and reliability.	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels combined with new materials, reduced feature size, and pattern dependent processes create this challenge.
Manufacturability and defect management that meet overall cost/performance requirements	As feature sizes shrink, interconnect processes must be compatible with device roadmaps and meet manufacturing targets at the specified wafer size. Plasma damage, contamination, thermal budgets, cleaning of high A/R features, defect tolerant processes, elimination/reduction of control wafers are key concerns. Where appropriate, global wiring and packaging concerns will be addressed in an integrated fashion.

Table INTCl Interconnect Difficult Challenges (continued)

<i>Difficult Challenges < 22 nm</i>	<i>Summary of Issues</i>
Mitigate impact of size effects in interconnect structures	Line and via sidewall roughness, intersection of porous low- κ voids with sidewall, barrier roughness, and copper surface roughness will all adversely affect electron scattering in copper lines and cause increases in resistivity.
Three-dimensional control of interconnect features (with its associated metrology) is required	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels, combined with new materials, reduced feature size and pattern dependent processes, use of alternative memories, optical and RF interconnect, continues to challenge.
Patterning, cleaning, and filling at nano dimensions	As features shrink, etching, cleaning, and filling high aspect ratio structures will be challenging, especially for low- κ dual damascene metal structures and DRAM at nano-dimensions.
Integration of new processes and structures, including interconnects for emerging devices	Combinations of materials and processes used to fabricate new structures create integration complexity. The increased number of levels exacerbate thermomechanical effects. Novel/active devices may be incorporated into the interconnect.
Identify solutions which address 3D structures and other packaging issues*	3 dimensional chip stacking circumvents the deficiencies of traditional interconnect scaling by providing enhanced functional diversity. Engineering manufacturable solutions that meet cost targets for this technology is a key interconnect challenge.

* Top three challenges

CMP—chemical mechanical planarization

DRAM—dynamic random access memory

22nm 以降の微細化でも、粒界や界面からの電子散乱に代表されるサイズ効果が Cu の実効的な抵抗を増加させ続ける。Ultra Low- κ 絶縁膜は特定の領域でエアギャップに取って替わられる。これらの熱的・機械的因子の変更がキーとなる技術課題である。

寸法の微細化、新材料の採用、そしてダマシン構造は全て、配線技術開発・量産化に向けてのチップ状態での計測技術が挑戦項目となる。CD (Critical dimension) 測定は、超高アスペクトや極薄バリアの計測に必要

である。計測技術は、配線層数やチップの複雑さの増大に対応したものなければならない。他の計測技術の技術課題には、高周波での抵抗と誘電率、密着性、機械的特性を含む。

高密度の TSV(シリコン貫通ビア)を用いた三次元チップ積層は、遅延と消費電力の改善や、機能の多様化を目指したチップ実装のキーとなる分野である。量産性があり、コストメリットのある三次元実装は、配線技術におけるキーとなる技術課題である。

技術的要求

配線に対するニーズを適切な記述をするために、短期(Near Term)(2007-2013)、長期(Long Term)(2014-2020)での技術的要求および解決策候補が、2種の製品群、Logic(MPU:Micro-Processor Unit および ASIC:Application Specific Integrated Circuit)、DRAM(Dynamic Random Access Memory)に分類して示されている。MPUに対しては、現在広く採用されている階層的スケーリング法を強調するために、メタル1(M1)、中間層配線、グローバル配線の配線ピッチ、アスペクト比が区別されている。2007年版ロードマップでは、次世代のMPU製品導入が2009年まで2年サイクルに加速され、2009年以降3年サイクルに戻ると認識している。また、それによってMPUのメタル1ピッチが2010年にはDRAMと同じになると予想される。さらに、現時点でMPUのメタル1と中間層配線のピッチには差が無い。MPUのメタル1に於ける“コンタクト付きピッチ”は、最近接隣接配置(side-by-side)ではなく、斜めにずれて配置された(staggered)コンタクトを前提にしている。斜めにずれたコンタクト配置の使用は、かなり長い間標準的なMPU設計法となっている。

MPUピッチのスケーリングの加速が、Cuのエレクトロマイグレーション問題を深刻にしている。現在用いられているCuへの絶縁膜キャップ技術での最大電流密度(J_{max})の限界は、2013年までに超過されてしまうだろう。CuSiN形成によるCu表面の改質、もしくはCu-Alのような合金の使用によって、顕著なエレクトロマイグレーションの改善が得られる。CoWPのようなCuへの選択メタルキャップ技術を用いることで、より高いエレクトロマイグレーション耐性が得られるであろう。しかし、選択プロセスに起因した配線間ショートによる歩留りの低下が依然として懸念される。絶縁膜キャップの改良も検討されている。

電子散乱モデルが改善されてきており、配線幅とアスペクト比の関数としてCuの比抵抗上昇を予測できる。Figure INTC1に示されているように、比抵抗の上昇には粒界と界面の電子散乱の両方が大きく影響する。今までのところ、この問題に対する解決策は見つかっていない。

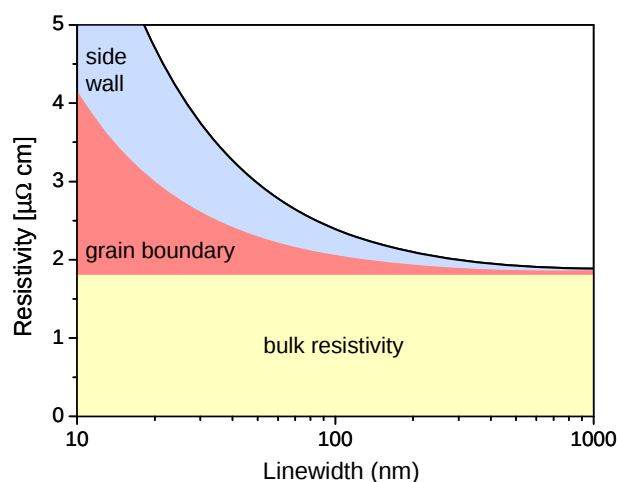


Figure INTC1 Cu Resistivity

これに沿って、最小のメタル1、中間層配線、グローバル配線についてのCuの比抵抗値が、ロードマップの全ての年に対して記載されている。この比抵抗上昇によるRC性能指標への影響も計算されており、技術的要

求の表に含まれている。配線形状の三次元的な寸法制御(3DCD)は、ITRS の数回の版において、重要課題の一つとして挙げられている。寸法ばらつきと散乱による M1 配線抵抗のトータルなばらつきも計算され、MPU の技術的要求の表(MPU technology requirements table)に含まれている。メタル 1 と中間層配線の配線長は、通常、従来のスケールリングに伴って縮小されるため、これらの遅延が性能に与える影響は比較的小さい。最大の配線長を有するグローバル配線は、劣化した遅延に最も影響されるだろう。材料変更や Cu 比抵抗上昇のいくらかの改善では、総合的な性能要求を満たすには不十分であろう。マルチコア MPU 設計への流れによって、これまでの増大するグローバル配線の配線長に関する遅延の問題の幾つかは軽減されてきている。

長期的には、従来の配線における遅延、消費電力、帯域幅の限界を超えるために、新しい設計、または技術的解決策(3D IC、光配線、カーボンナノチューブなど)が必要とされる。“新たな配線コンセプトと革新的な解決策”の項を参照されたい。インダクタンスの影響も動作周波数の増加に従って重要性が増していくと思われる。インダクタンスの影響を遮蔽するために、追加となるメタルパターンや接地層が必要となるかもしれない。電源電圧がスケールリングもしくは低減されるに従って、クロストークは全てのクロックと信号の配線層で問題となる。2005 年の ITRS でクロストークの指標がメタル 1、中間層配線、および最小グローバル配線について導入された。その指標では、最小ピッチの犠牲配線において、スイッチング電圧の 25%が誘起される配線長を計算している。2022 年での最小グローバル配線における、この限界配線長は 2007 年の 30%未満である。したがってクロストークの課題解決には設計分野との協力が必要である。動作電力の重要性増大を認識し、消費電力の指標と配線間容量の値が 2006 年に導入され、2007 年に改訂されている。2007 年のロードマップでは、将来の技術世代に向けて進行中の誘電率低減を反映し続けており、新しいポーラス low-k 絶縁膜材料、およびその先にはエアギャップ技術が導入されるとしている。

MPU の断面

MPU では、性能への配線遅延の影響を緩和するために、配線層毎にピッチと膜厚が次第に増加していく階層的配線アプローチによる多層の配線が用いられる。Figure INTC2 を参照されたい。

接地層やオンチップのデカップリング容量に対する要求に応えるために、配線層の伸びは、性能要求を満たすことのみを考えた場合よりも大きくなると予想される。

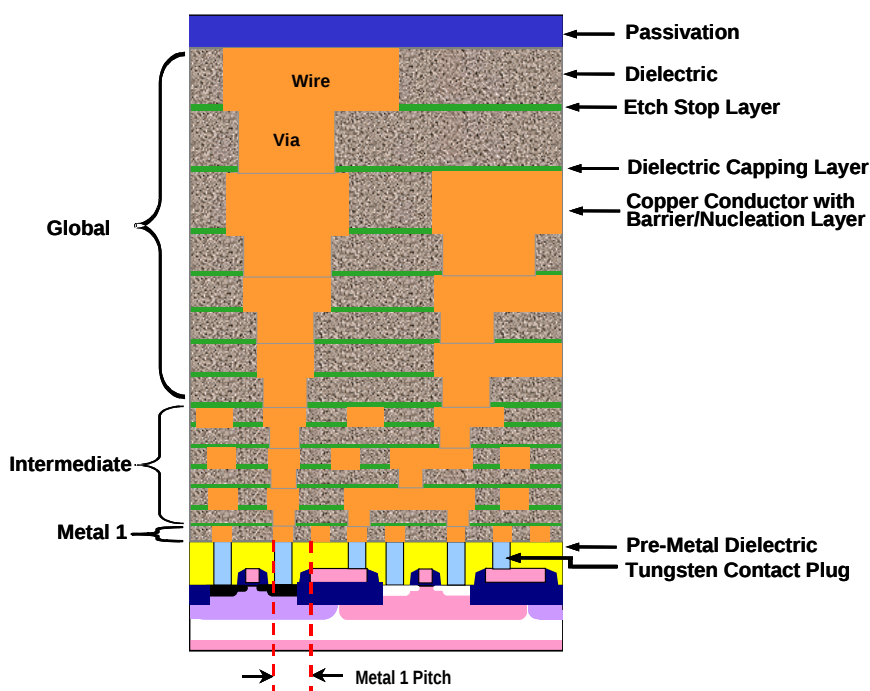


Figure INTC2 Cross-section of Hierarchical Scaling—MPU Device

ASIC の断面

ASIC は、例えば Cu 配線や low-k 絶縁膜のような、MPU の技術的特徴の多くを共有する。一般的に ASIC の設計手法はより標準的で、メタル1、中間層配線、セミグローバル(中間層配線の2倍)およびグローバル(中間層配線の4倍)という配線ピッチで構成される。ASICにのみ、セミグローバル配線のピッチが2005年にMPUの技術的要求の表(MPU technology requirements table)に対して加えられている。典型的な ASIC の断面を Figure INTC3 に示す。

歴史的に DRAM の配線技術には、最も厳しい配線ピッチと最もアスペクト比の高いコンタクトが適用されてきたが、2010 年には MPU のメタル1のピッチは DRAM と一致すると予測されている。low-k 絶縁膜(フッ化シリコン酸化膜:FSG)の導入が進行中であり、65nm ハーフピッチでアルミニウムから Cu への転換が起きている。

ダマシンプロセスフローは、MPU/ASIC 製造法の主要なものであり、DRAM への適用が拡大していくと期待される。Figure INTC4 は、積層配線の作製に用いられる、幾つかの典型的な層間絶縁膜(ILD: interlevel dielectric)構造を図示したものである。現在の Cu ダマシンプロセスは物理気相成長法(PVD:Physical Vapor Deposition)による Ta ベースのバリア膜と Cu 核成長層を用いているが、サイズの継続的なスケールアップには異なる材料や核成長層の成膜法が求められる。Cu めっき(electrochemically deposited:ECD)は装置や薬液の継続的な改善によってロードマップの予測最終年(2020 年)まで延命しようとしているが、微細、かつ高アスペクト比となる形状に対しては、代替となる埋設技術を並行して開発、精選していく必要がある。このような形状について実効的な配線抵抗率を維持するために、薄いバリア膜も必要とされる。核成長層の被覆性に対する要求は、ダマシン構造での Cu めっき埋めこみを可能とするためにより厳しくなる。表面への偏析、化学気相成長法(chemical vapor deposition:CVD)、原子層成長法(Atomic Layer Deposition:ALD)、および絶縁膜バリアが中間的な解決策候補である。膜厚ゼロのバリアは望ましいが要求されてはいない。

短期的な絶縁膜のニーズには、配線間絶縁膜およびエッチストップのためのより低い誘電率の材料、デカップリングおよび MIM (metal-insulator-metal) 容量のためのより高い誘電率の材料、FRAM (ferroelectric memories) のための高い残留分極を示す材料、が含まれる。これらの新しい材料の熱的、機械的そして電気的な特性は、プロセスインテグレーションに厳しい課題をもたらすことになる。長期的には、高周波における絶縁特性がより重要となり、低損失の導波路として機能するために十分な光学的コントラストを持つ光学材料が要求される。

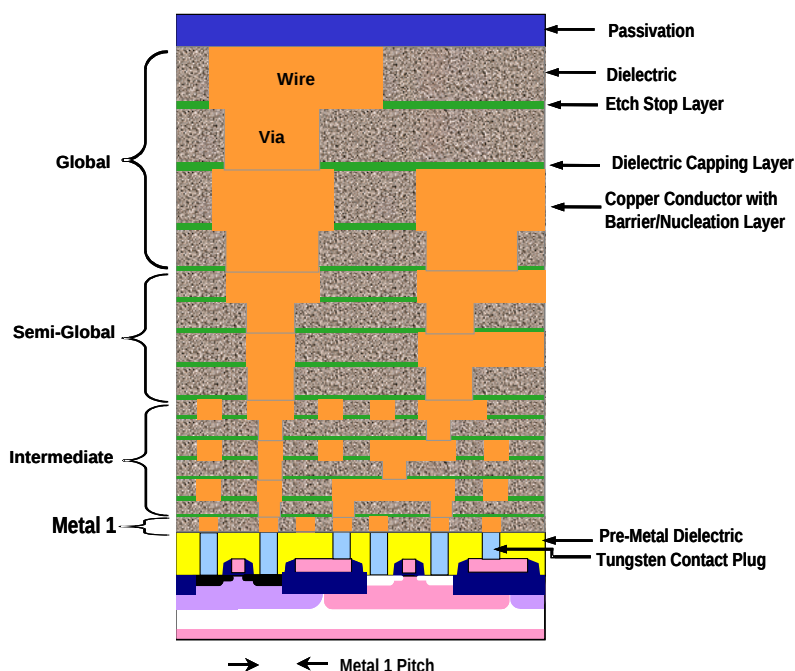


Figure INTC3 Cross-section of Hierarchical Scaling—ASIC Device

絶縁膜 CMP と CMP 後の欠陥低減における継続的な改善は短期的に必要とされるだろう。代替となる平坦化技術の開発は、長期的な解決策候補である。Cu の CMP については、配線膜厚のスケーリングに伴って要求される性能を満たすために、エロージョンとディッシングをできるだけ小さくすることが必要となるだろう。低密度で機械的強度の弱い low-k 絶縁膜に適したものとして、(終点検知と併せて) 平坦化プロセスを改善していくために、より一層の研究が必要とされる。CMP 後洗浄の改善が、将来のデバイスに要求される低欠陥密度の達成を左右することになる。エッチング、レジスト剥離およびエッチング後洗浄は、エッチストップ層と拡散バリア膜に対して望ましい選択性を保持しつつ、low-k 絶縁膜を劣化させないように開発されなければならない。エッチングおよび成膜プロセス中の低ダメージ化または無ダメージ化が目標であり、特に、より薄いゲート酸化膜や新規ゲート絶縁膜材料が導入されるにあたって重要である。

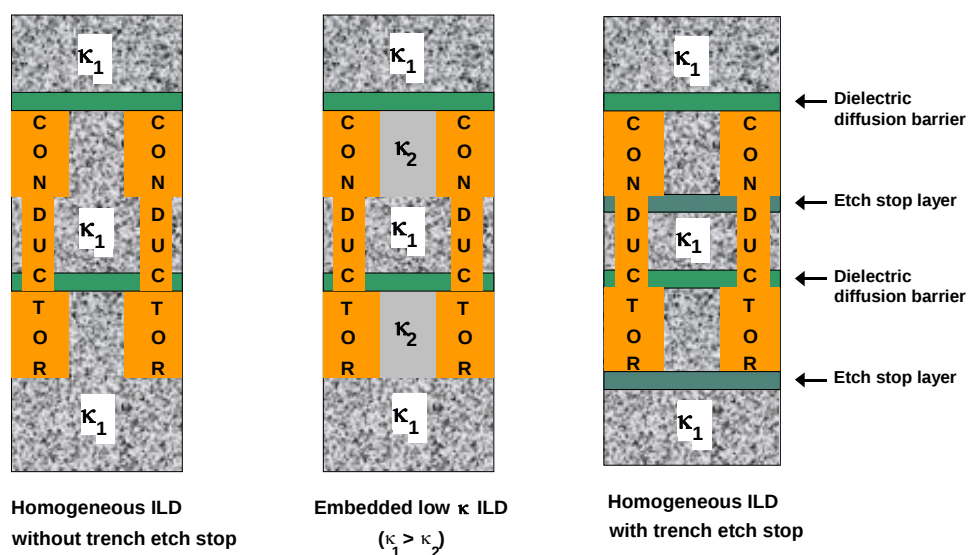


Figure INTC4 Typical ILD Architectures

Table INTC2a MPU Interconnect Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU/ASIC Metal 1 $1/2$ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10
Number of metal levels (includes ground planes and passive devices)	11	12	12	12	12	12	13	13	13
Total interconnect length (m/cm ²) – Metal 1 and five intermediate levels, active wiring only [1]	1439	1712	2000	2222	2500	2857	3125	3571	4000
FTT's/m length/cm ² $\times 10^{-3}$ excluding global levels [2]	3.5	2.9	2.5	2.3	2	1.8	1.6	1.4	1.3
Interlevel metal insulator – effective dielectric constant (κ)	2.9–3.3	2.9–3.3	2.6–2.9	2.6–2.9	2.6–2.9	2.4–2.8	2.4–2.8	2.4–2.8	2.1–2.5
Interlevel metal insulator – bulk dielectric constant (κ)	2.5–2.9	2.5–2.9	2.3–2.7	2.3–2.7	2.3–2.7	2.1–2.5	2.1–2.5	2.1–2.5	1.9–2.3
Copper diffusion barrier and etch stop – bulk dielectric constant (κ)	4.0–4.5	4.0–4.5	3.5–4.0	3.5–4.0	3.5–4.0	3.0–3.5	3.0–3.5	3.0–3.5	2.6–3.0
Metal 1 wiring pitch (nm) *	136	118	104	90	80	72	64	56	50
Metal 1 A/R (for Cu)	1.7	1.8	1.8	1.8	1.8	1.8	1.9	1.9	1.9
Barrier/cladding thickness (for Cu Metal 1 wiring) (nm) [3]	4.8	4.3	3.7	3.3	2.9	2.6	2.4	2.1	1.9
Cu thinning at minimum pitch due to erosion (nm), 10% $\times$ height, 50% area density, 500 μ m square array	12	11	9	8	7	6	6	5	5
Conductor effective resistivity ($\mu\Omega$ -cm) Cu Metal 1 wiring including effect of width-dependent scattering and a conformal barrier of thickness specified below	3.51	3.63	3.80	4.08	4.30	4.53	4.83	5.20	5.58
Capacitance per unit length for M1 wires (pF/cm) - assumed PMD $\kappa_{\text{eff}} = 4.2$ [6]	1.9–2.0	1.9–2.1	1.8–2.0	1.8–2.0	1.8–2.0	1.7–1.9	1.7–1.9	1.7–1.8	1.5–1.7
Interconnect RC delay (ps) for a 1 mm Cu Metal 1 wire, assumes no scattering and an effective ρ of 2.2 $\mu\Omega$ -cm	558	717	848	1132	1433	1695	2075	2710	3128
Interconnect RC delay (ps) for 1 mm Cu Metal 1 wire, assumes width-dependent scattering and a conformal barrier of thickness specified below	890	1183	1465	2100	2801	3491	4555	6405	7935
Line length (μ m) where $\tau = RC$ delay (Metal 1 wire) no scattering	34	27	25	19	15	13	11	9	8
Line length (μ m) where 25% of switching voltage is induced on victim Metal 1 wire by crosstalk [4]	104	89	89	82	78	64	57	49	46
Total Metal 1 resistance variability due to CD erosion and scattering (%)	28	29	30	30	31	32	32	31	33
Intermediate wiring pitch (nm)	136	118	104	90	80	72	64	56	50
Intermediate wiring dual damascene A/R (Cu wire/via)	1.8/1.6	1.8/1.6	1.8/1.6	1.8/1.6	1.8/1.6	1.9/1.7	1.9/1.7	1.9/1.7	1.9/1.7
Barrier/cladding thickness (for Cu intermediate wiring) (nm) [3]	5.2	4.3	3.7	3.3	2.9	2.6	2.4	2.1	1.9
Semi-global wire pitch (nm) (ASIC only)	280	236	208	180	160	144	128	112	100
Cu thinning at minimum intermediate pitch due to erosion (nm), 10% $\times$ height, 50% area density, 500 μ m square array	12	11	9	8	7	7	6	5	5
Conductor effective resistivity ($\mu\Omega$ -cm) Cu intermediate wiring including effect of width-dependent scattering and a conformal barrier of thickness specified below	3.43	3.63	3.80	4.08	4.30	4.49	4.83	5.20	5.58
Capacitance per unit length for intermediate wires (pF/cm) [6]	1.8-2.0	1.8-2.0	1.6-1.8	1.6-1.8	1.6-1.8	1.5-1.8	1.5-1.8	1.5-1.8	1.3-1.6
J_{max} (A/cm ²) – intermediate wire (at 105°C) [7] *	9.95E+05	1.20E+06	1.37E+06	1.72E+06	1.91E+06	1.85E+06	2.25E+06	2.57E+06	2.57E+06
Interconnect RC delay (ps) for a 1 mm Cu intermediate wire, assumes no scattering and an effective ρ of 2.2 $\mu\Omega$ -cm	475	669	764	1020	1291	1455	1842	2406	2670

Table INTC2a MPU Interconnect Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU/ASIC Metal 1 $1\frac{1}{2}$ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10
Interconnect RC delay (ps) for 1 mm Cu intermediate wire, assumes width-dependent scattering and a conformal barrier of thickness specified below	741	1104	1320	1892	2524	2970	4044	5687	6771
Line length (μm) where τ = RC delay (intermediate wire) no scattering	37	28	26	20	16	14	12	9	8
Line length (μm) where 25% of switching voltage is induced on victim intermediate wire by crosstalk [4]	148	125	124	115	102	80	72	62	60
Minimum global wiring pitch (nm)	210	177	156	135	120	108	96	84	75
Ratio range (global wiring pitches/intermediate wiring pitch)	1.5–14	1.5–17	1.5–20	1.5–22	1.5–25	1.5–29	1.5–31	1.5–36	1.5–40
Global wiring dual damascene A/R (Cu wire/via)	2.3/2.1	2.3/2.1	2.4/2.2	2.4/2.2	2.4/2.2	2.5/2.3	2.5/2.3	2.5/2.3	2.6/2.4
Barrier/cladding thickness (for min. pitch Cu global wiring) (nm) [3]	5.2	4.3	3.7	3.3	2.9	2.6	2.4	2.1	1.9
Cu thinning of maximum width global wiring due to dishing and erosion (nm), $10\% \times \text{height}$, 80% area density	230	230	240	240	240	250	250	250	260
Cu thinning global wiring due to dishing (nm), 100 μm wide feature	24	20	19	16	14	14	12	11	10
Conductor effective resistivity ($\mu\Omega\text{-cm}$) minimum pitch Cu global wiring including effect of width-dependent scattering and a conformal barrier of thickness specified below	2.73	2.85	2.94	3.10	3.22	3.34	3.52	3.73	3.93
Capacitance per unit length for global wires (pF/cm) [6]	2.0-2.3	2.0-2.3	1.8-2.0	1.8-2.0	1.8-2.0	1.7-2.0	1.7-2.0	1.7-2.0	1.5-1.8
Interconnect RC delay (ps) for a 1 mm minimum pitch Cu global wire, assumes no scattering and an effective ρ of $2.2 \mu\Omega\text{-cm}$	183	258	288	385	487	557	705	921	1004
Interconnect RC delay (ps) for 1 mm Cu min pitch global wire, assumes width-dependent scattering and a conformal barrier of thickness specified below	227	334	385	542	713	846	1129	1562	1794
Line length (μm) where τ = RC delay (global wire at minimum pitch – no scattering)	59	46	42	32	26	23	19	15	13
Line length (μm) where 25% of switching voltage is induced on victim minimum global wire by crosstalk [4]	127	110	116	107	112	86	81	71	68
Power index ($\text{W/GHz}\cdot\text{cm}^2$) [5]	1.4-1.6	1.4-1.6	1.4-1.6	1.6-1.8	1.8-2.0	1.6-1.8	1.7-2.0	2.0-2.3	1.5-1.8

Table INTC2b MPU Interconnect Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
MPU/ASIC Metal 1 $1/2$ Pitch (nm)(contacted)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
Number of metal levels (includes ground planes and passive devices)	13	14	14	14	14	15	15
Total interconnect length (m/cm ²) – Metal 1 and five intermediate levels, active wiring only [1]	4545	5000	5555	6250	7143	7692	9091
FITs/m length/cm ² $\times 10^{-3}$ excluding global levels [2]	1.1	1	0.9	0.8	0.7	0.7	0.5
Interlevel metal insulator – effective dielectric constant (κ)	2.1–2.5	2.1–2.5	2.0–2.3	2.0–2.3	2.0–2.3	1.7–2.0	1.7–2.0
Interlevel metal insulator – bulk dielectric constant (κ)	1.9–2.3	1.9–2.3	1.7–2.1	1.7–2.1	1.7–2.1	1.5–1.9	1.5–1.9
Copper diffusion barrier and etch stop – bulk dielectric constant (κ)	2.6–3.0	2.6–3.0	2.4–2.6	2.4–2.6	2.4–2.6	2.1–2.4	2.1–2.4
Metal 1 wiring pitch (nm) *	44	40	36	32	28	26	22
Metal 1 A/R (for Cu)	2	2	2	2	2	2.1	2.1
Barrier/cladding thickness (for Cu Metal 1 wiring) (nm) [3]	1.7	1.5	1.3	1.2	1.1	1	0.9
Cu thinning at minimum pitch due to erosion (nm), 10% $\times$ height, 50% area density, 500 μ m square array	4	4	4	3	3	3	2
Conductor effective resistivity ($\mu\Omega$ -cm) Cu Metal 1 wiring including effect of width-dependent scattering and a conformal barrier of thickness specified below	6.01	6.33	6.70	7.34	8.19	8.51	9.84
Capacitance per unit length for M1 wires (pF/cm) - assumed PMD $\kappa_{\text{eff}} = 4.2$ [6]	1.6–1.8	1.6–1.8	1.6–1.7	1.6–1.7	1.6–1.7	1.4–1.6	1.4–1.6
Interconnect RC delay (ps) for a 1 mm Cu Metal 1 wire, assumes no scattering and an effective ρ of 2.2 $\mu\Omega$ -cm	3899	4718	5569	7048	9206	9369	13085
Interconnect RC delay (ps) for 1 mm Cu Metal 1 wire, assumes width-dependent scattering and a conformal barrier of thickness specified below	10652	13575	16960	23515	34271	36239	58525
Line length (μ m) where $\tau = \text{RC delay}$ (Metal 1 wire) no scattering	6	5	4	4	3	3	2
Line length (μ m) where 25% of switching voltage is induced on victim Metal 1 wire by crosstalk [4]	39	35	32	27	23	22	18
Total Metal 1 resistance variability due to CD erosion and scattering (%)	32	33	35	33	33	32	33
Intermediate wiring pitch (nm)	44	40	36	32	28	26	22
Intermediate wiring dual damascene A/R (Cu wire/via)	2.0/1.8	2.0/1.8	2.0/1.8	2.0/1.8	2.0/1.8	2.1/1.9	2.1/1.9
Barrier/cladding thickness (for Cu intermediate wiring) (nm) [3]	1.7	1.5	1.3	1.2	1.1	1	0.9
Semi-global wire pitch (nm) (ASIC only)	88	80	72	64	56	52	44
Cu thinning at minimum intermediate pitch due to erosion (nm), 10% $\times$ height, 50% area density, 500 μ m square array	4	4	4	3	3	3	2
Conductor effective resistivity ($\mu\Omega$ -cm) Cu intermediate wiring including effect of width-dependent scattering and a conformal barrier of thickness specified below	6.01	6.33	6.70	7.34	8.19	8.51	9.84
Capacitance per unit length for intermediate wires (pF/cm) [6]	1.3–1.6	1.3–1.6	1.3–1.5	1.3–1.5	1.3–1.5	1.1–1.3	1.1–1.3
J_{max} (A/cm ²) – intermediate wire (at 105°C) [7] *	3.06E+06	2.97E+06	3.23E+06	3.81E+06	4.25E+06	3.65E+06	4.47E+06
Interconnect RC delay (ps) for a 1 mm Cu intermediate wire, assumes no scattering and an effective ρ of 2.2 $\mu\Omega$ -cm	3341	4043	4665	5905	7712	7482	10450
Interconnect RC delay (ps) for 1 mm Cu intermediate wire, assumes width-dependent scattering and a conformal barrier of thickness specified below	9127	11632	14208	19700	28711	28942	46741
Line length (μ m) where $\tau = \text{RC delay}$ (intermediate wire) no scattering	7	6	5	4	3	3	3
Line length (μ m) where 25% of switching voltage is induced on victim intermediate wire by crosstalk [4]	48	43	38	34	30	30	22
Minimum global wiring pitch (nm)	66	60	54	48	42	39	33
Ratio range (global wiring pitches/intermediate wiring pitch)	1.5–45	1.5–50	1.5–56	1.5–63	1.5–71	1.5–80	1.5–90
Global wiring dual damascene A/R (Cu wire/via)	2.6/2.4	2.6/2.4	2.8/2.5	2.8/2.5	2.8/2.5	2.9/2.6	2.9/2.6
Barrier/cladding thickness (for min. pitch Cu global wiring) (nm) [3]	1.7	1.5	1.3	1.2	1.1	1	0.9

Table INTC2b MPU Interconnect Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
MPU/ASIC Metal 1 $1/2$ Pitch (nm)(contacted)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
Cu thinning of maximum width global wiring due to dishing and erosion (nm), 10% $\times$ height, 80% area density	260	260	280	280	280	300	290
Cu thinning global wiring due to dishing (nm), 100 μ m wide feature	9	8	8	7	6	5	5
Conductor effective resistivity ($\mu\Omega$ -cm) minimum pitch Cu global wiring including effect of width-dependent scattering and a conformal barrier of thickness specified below	4.20	4.38	4.58	4.92	5.38	5.59	6.30
Capacitance per unit length for global wires (pF/cm) [6]	1.5-1.8	1.5-1.8	1.5-1.8	1.5-1.8	1.5-1.8	1.3-1.5	1.3-1.5
Interconnect RC delay (ps) for a 1 mm minimum pitch Cu global wire, assumes no scattering and an effective ρ of 2.2 $\mu\Omega$ -cm	1297	1569	1759	2226	2907	2860	3994
Interconnect RC delay (ps) for 1 mm Cu min pitch global wire, assumes width-dependent scattering and a conformal barrier of thickness specified below	2476	3124	3661	4978	7110	7266	11437
Line length (μ m) where τ = RC delay (global wire at minimum pitch – no scattering)	11	9	8	7	5	5	4
Line length (μ m) where 25% of switching voltage is induced on victim minimum global wire by crosstalk [4]	62	56	53	45	41	39	31
Power index (W/GHz- cm^2) [5]	1.8-2.1	1.5-1.8	1.6-1.8	1.8-2.1	2.1-2.4	1.6-1.9	1.9-2.3

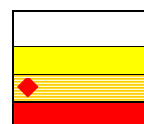
* Refer to [Executive Summary](#) for definition of M1 pitch and on-chip local clock for $J_{\max}$ estimation

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Notes for Tables INTC2a and b:

[1] Calculated by assuming that only one of every three minimum pitch wiring tracks for Metal 1 and five intermediate wiring levels are populated. The wiring lengths for each level are then summed to calculate the total interconnect length per square centimeter of active area.

[2] This metric is calculated by assuming that a 5 FIT (failure in time) reliability budget is apportioned to interconnect for the highest reliability grade MPUs. This number is then divided by the total interconnect length to arrive at the FITs per meter of wiring per one square centimeter of active area.

[3] Calculated for a conformal layer to meet minimum effective conductor resistivity with no scattering.

[4] Crosstalk is a calculated value. This metric will be managed by IC Design.

[5] Power index = $C V_{dd}^2 a (1 \text{ GHz}) e_w (1 \text{ cm}^2)/p$; p = pitch; V_{dd} = supply voltage; e_w = wiring efficiency = 1/3; a = activity factor = 0.03. The calculated values are an approximation for the "power per GHz per cm^2 of metallization layer." This index scales with the critical parameters that determine the interconnect dynamic power. NOTES: the values provided are an average for M1, Intermediate and Global interconnects. The range of values results from the maximum and minimum effective dielectric constants.

[6] The capacitance range reflects the maximum and minimum effective dielectric constants.

[7] No change in $J_{\max}$ calculation model. Only frequency input was changed.

Table INTC3a DRAM Interconnect Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Number of metal layers	4	4	4	4	4	4	4	4	4
Contact A/R – stacked capacitor	16	17	17	>20	>20	>20	>20	>20	>20
Metal 1 wiring pitch (nm)*	130	114	100	90	80	72	64	56	50
Specific contact resistance ($\Omega\text{-cm}^2$) for n+ Si	2.00E-08	1.70E-08	1.40E-08	1.20E-08	9.80E-09	8.20E-09	6.90E-09	5.80E-09	4.80E-09
Specific contact resistance ($\Omega\text{-cm}^2$) for p+ Si	3.20E-08	2.70E-08	2.20E-08	1.80E-08	1.50E-08	1.30E-08	1.10E-08	9.20E-09	7.40E-09
Specific via resistance ($\Omega\text{-cm}^2$)	5.00E-10	4.00E-10	3.50E-10	2.90E-10	2.50E-10	2.10E-10	1.70E-10	1.40E-10	1.20E-10
Conductor effective resistivity ($\mu\Omega\text{-cm}$) assumes no scattering for Cu	2.2	2.2	2.2	2.2	2.2	2.2	2.2	2.2	2.2
Interlevel metal insulator – effective dielectric constant (κ)	3.6–4.1	3.6–4.1	3.1–3.4	3.1–3.4	2.7–3.0	2.7–3.0	2.7–3.0	2.5–2.8	2.5–2.8

Table INTC3b DRAM Interconnect Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
Number of metal layers	4	4	4	4	4	4	4
Contact A/R – stacked capacitor	>20	>20	>20	>20	>20	>20	>20
Metal 1 wiring pitch (nm)*	44	40	36	32	28	26	22
Specific contact resistance ($\Omega\text{-cm}^2$) for n+ Si	4.00E-09	3.40E-09	2.80E-09	2.34E-09	1.96E-09	1.65E-09	1.37E-09
Specific contact resistance ($\Omega\text{-cm}^2$) for p+ Si	6.20E-09	5.10E-09	4.30E-09	3.60E-09	3.01E-09	2.52E-09	2.11E-09
Specific via resistance ($\Omega\text{-cm}^2$)	1.00E-10	8.40E-11	7.00E-11	5.81E-10	4.82E-10	4.00E-10	3.32E-10
Conductor effective resistivity ($\mu\Omega\text{-cm}$) assumes no scattering for Cu	2.2	2.2	2.2	2.2	2.2	2.2	2.2
Interlevel metal insulator – effective dielectric constant (κ)	2.5–2.8	2.3–2.6	2.3–2.6	2.3–2.6	2.3–2.6	2.3–2.6	2.3–2.6

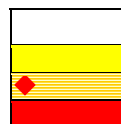
- * Refer to *Executive Summary* for the definition of Metal 1 pitch

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



解決策候補

絶縁膜に関する解決策候補

産業界は、2002 年の 130nm 世代での低誘電率層間絶縁膜の量産導入依頼、層間絶縁膜材料を用いた多層配線のプラットフォームの集積化の微妙なさじ加減を経験し続けてきた。この技術は、酸化膜と比較的単純なフルビア先(FVF)の Cu デュアルダマシンプロセスからの非常に困難な転換で有り続けているが、習熟曲線に費やされた時間は、低誘電率材料を含めた多くの将来技術に対する、手助けになるであろう。このフルビア先プロセスでは、集積化に最も少ない堆積層数しか必要とせず、形成される界面も最も少なく、配線のバルクの層間絶縁膜の比誘電率に対して、未だに、最も低い実効比誘電率の値を得ることができる。さらに、単一層の層間絶縁膜プロセスフローは、65nm 世代を通して低誘電率層間絶縁膜材料に対して、多勢を占める集積化プロセスで有り続けている。この単一層の低誘電率絶縁膜プロセスフローを導入し続けるために、絶縁膜のみならず金属の組み合わせを含む多層(2、3 または 4 層)のパターニングスキームを使用することがデュアルダマシンプロセスを形成するためには、一般的となっている。これらの多層パターニングスキームは Cu 溝の断面積(溝深さの制御)のばらつきとその RC 遅延のばらつきへの直積的な影響に対して、依然として完全な解決策を提供してはいない。一方、これもまた商業的に量産されているハイブリッド構造層間絶縁膜プロセスフローは溝深さのばらつきとその結果もたらされる RC 遅延のばらつきの根源的な解決策を提供している。空気を絶縁体とする究極の性能を有する $k_{eff} < 2.0$ の Cu 後工程(BEOL)層間絶縁膜構造に伴う課題の探求に対する

関心が高まりつつあるため、この集積化技術の現状の技術レベルを議論した詳細なセクションを付録に設けた。

将来的には、トータルの BEOL 層間絶縁膜スタック(キャップ、ビア、溝、エッチストップ、CMP ストップ)を構成する個々の絶縁膜の総数の引き続いての増大は、単一または特定の機能を有する個々の層の個別の最適化のみならず、BEOL の配線層の全数の増加の反映を関数として増加するだろう。この層数の増大は、化学結合や、拡散性、弾性率、硬度、ひずみや膨張係数 Z (CTE) などの異なる異種材料同士の界面の数の増加に伴う、密着性や、凝集性双方の課題を顕在化させるだろう。チップパッケージ技術における進展はこれらの低誘電率層間絶縁膜材料の課題に対する量産時のプロセスウインドウが広がることを意味する。個々に最適化された膜に対する解決策が量産性や信頼性を引き続き改善するために求められるに伴い、コンタミネーションを最小化し、所有コスト (CoO) を低減するために、連続層の堆積処理をクラスター化する能力が産業界のひとつのゴールとなるであろうが、ますます困難さを増すであろう。代替となるキュア技術が密着性と凝集性の強度の不足、ポロジェン除去、化学薬品耐性と材料に対するプロセスダメージの修復などの組み合わせの解決策として導入されつつある。

産業界は 2001 年 ITRS やそれよりたしかに早い時期のロードマップで予期されていた革命的な道筋のかわりに、革新的低誘電率層間絶縁膜材料の適用導入に対して、成功体験のある進化的な道筋を実行し続けている。企業によって選択されたこの進化的道筋は、リソ工程のミックス&マッチの巧みな運用と同様に、それぞれの絶縁膜層に別個のロードマップが存在する、単一材料プラットフォーム(空孔率を増加することで k 値を低減するプラズマ CVD、PECVD) とそれに相応しい集積化プロセス(単一層間絶縁膜)との組み合わせを伴うか、2 種類の材料(溝部に有機膜、ビア部に無機膜)のプラットフォームとそれに相応しい集積化プロセス(ハイブリッド層間絶縁膜)の組み合わせを伴っている。

一方、現状の IC 量産企業と供給企業の双方で進行している候補材料と堆積技術の進行形の開発のおかげで、PMD レベルに先進的なより低い誘電率の材料を導入するというロードマップの策定に新たに焦点が当てられている。絶縁膜に関する解決策候補 (Figure INT-C5) には、次の数世代のテクノロジー世代に要求されるおおよそ $k=4.0$ 、究極的には $k=3.0$ に到達する PMD 材料の供給が、現存する商用量産技術により可能であることを示されている。

新たな絶縁膜材料の要求仕様は、BEOL 集積化受動素子と伴に従来の新規 FEOL デバイス構造や、または本ロードマップの配線章で議論されている配線の進歩的解決策候補の双方の要求を包含すべきである。ある種の絶縁膜材料では、必要とされる電氣的、機械的そして、加工性の組み合わせが新たに重要視され、配線構造の別の部位に対して、付加的な利用が見出されている。また、将来のテクノロジー世代での新たなよりさらに厳しい要求に対してさえ、すべての新しい層間絶縁膜材料に例外なく要求される材料物性かつ／または集積化方法の課題のために、現存するシリカベースの絶縁膜材料の一群の寿命が延命されるだろう。

次の三つの全般的な BEOL 絶縁膜の課題は、この 2007 年度のロードマップの 15 年のスコープを通して有効であり続ける。

- ・ デバイス性能最大化のための、実効比誘電率 (k_{eff}) の最小化を可能とする低誘電率材料と量産プロセスの開発ならびに、今後登場するパッケージ選択枝を有する Cu デュアルダマシン技術のための、性能／信頼性／価格の実行可能な比での信頼性。
- ・ あらたに出現する低誘電率層間絶縁膜材料、絶縁膜バリア材料、環境への影響や、パッケージ構造に伴う、現状と将来に渡る信頼性／不良モードの理解の継続
- ・ 中程度の誘電率 ($k > 20$) から高誘電率 ($k > 100$) 材料を開発し、実現可能な単位価格あたりのビット数の増

大を目指し続ける単体メモリへ適用すること、および、MPU/ASIC や SoC のためのデカップリングや MIM キャパシタへ適用すること。

絶縁膜材料の要求の範囲に対する解決策を提供するためと、BEOL 章で各々の特定のアプリケーションに焦点を当てるために、Figure INTC5 の絶縁膜に関する解決策候補に、各々の材料の現状の開発状況を示すスケジュールのみでなく、各々の層と種々の堆積／キュア技術に対して使用される絶縁膜の種類とを示す。Table INTC2a と b に“配線間絶縁膜－実効比誘電率”と“配線間絶縁膜(最小値)－バルク比誘電率”にはこの 2007 年度のロードマップに定義されているパラメータを用いた三つの主な配線構造に対する一般的な電気シミュレーションモデルから導かれた数値を示している。方法として、標準的なシミュレーションモデルを採用し、Cu キャップ膜、ハードマスク(絶縁膜保護層)、溝用層間絶縁膜、ビア用層間絶縁膜ならびに、このロードマップに詳細が記載されている年ごとに特定の構造に対して最も現実的なパラメータを導入した。このシミュレーションは三つの一般的層間絶縁膜の配線構造(絶縁膜単一層、ハードマスク／絶縁膜保護層有りの絶縁膜単一層および、ハイブリッド)の各々に対して、その年の量産に適用可能なより現実的な材料の組み合わせと、最も急進的な比誘電率の材料の組み合わせを多重した場合について実行した。“配線間絶縁膜－実効比誘電率”と“配線間絶縁膜(最小値)－バルク比誘電率”の両方に報告されている範囲の最もその年の高い値は、現実的な場合に対する入力パラメータとシミュレーション結果から求められた数値であり、一方、最も低い値は急進的な場合の入力パラメータとシミュレーション結果から導かれたものである。

例として、この章の付録の Figure A1－65nm 絶縁膜に関する解決策候補(2007、2008)急進的な場合には 65nm 標準のルールと急進的な絶縁膜材料の組み合わせに特化したシミュレーションの入力値と計算結果を示す。ハイブリッド構造のシナリオに対して“配線間絶縁膜(最小値)－バルク比誘電率”の範囲の最小値 2.5 に対して、“配線間絶縁膜－実効比誘電率”の範囲の最小値をハイブリッド構造のシナリオに対してこの図から 2.9 と求めた。“配線間絶縁膜－実効比誘電率”と“配線間絶縁膜(最小値)－バルク比誘電率”に対する Table INTC2a と b の 2007、2008 年の欄に対する最大値は、各々、ハイブリッド構造のシナリオに対しては 3.3、単一層構造のシナリオに対しては 2.9 である。これらの値は、Figure A2－65nm 絶縁膜に関する解決策候補(2007、2008)現実的な場合の入力変数と出力結果より求めた。

チップ内のよく制御されたテスト構造から実効 k 値(k_{eff})を推定するのに多くの電気シミュレーションモデルが存在する。Dielectric Appendix 記載の Figure A1～A4 は、現世代及び 2 世代先(65、45nm)の代表的な low- k インテグレーションスキームに対する k_{eff} のシミュレーション結果である。このモデルには、層間膜厚、アスペクト比、量産時期に実用化が可能と判断される絶縁膜材料に関する ITRS2007 ターゲット値が入力されている。得られた三種類の k_{eff} 値は、それぞれの世代に対するそれぞれのインテグレーションスキームに対応したものである。 k 値導出の論理的な根拠は、このロードマップの中で明確化されており、適切な配線パラメータが Figure A5 のハイエンド SOC と RC スケーリングシナリオの最短経路に示した論理モデルに基づいて提案されている。性能律速経路(クリティカルパス)は、平均長のインターメディアイト配線で多段に接続された典型的な標準回路(2 入力 NAND+インバータ)と長距離のインターメディアイト配線とグローバル配線から構成されていると仮定している。長距離のインターメディアイト配線とグローバル配線は、RC 遅延を低減化するために最適化リピータで分割されており、長距離グローバル配線は幅と膜厚が逆スケーリングされている。このモデルの仮定は Table A1 に整理されている。この仮定の下、ハイエンド SoC における遅延時間を、 k 値の低減傾向の鈍化に伴い、世代とともに 30%から 20%低減化できるように配線抵抗と容量を確実にスケーリングしていく必要がある。Figure A6 に、この理論的なアプローチによって計算された k_{eff} スケーリングカーブを上記の典型的なインテグレーションスキームを考慮した k_{eff} 予測結果と比較して示した。これらはお互い良い一致をしている。これらの図はお互い良く一致していることが判る。

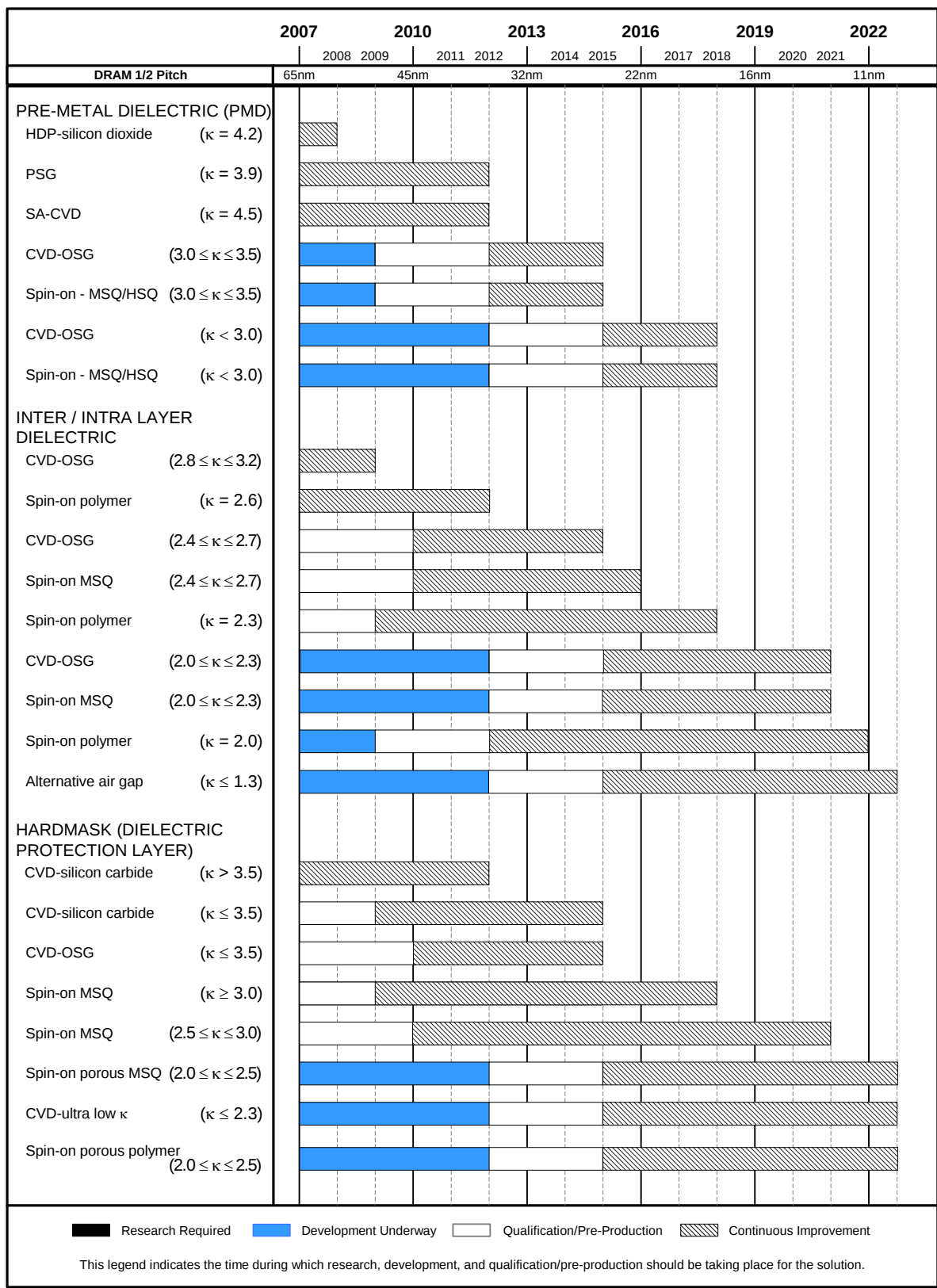


Figure INTC5 Dielectric Potential Solutions

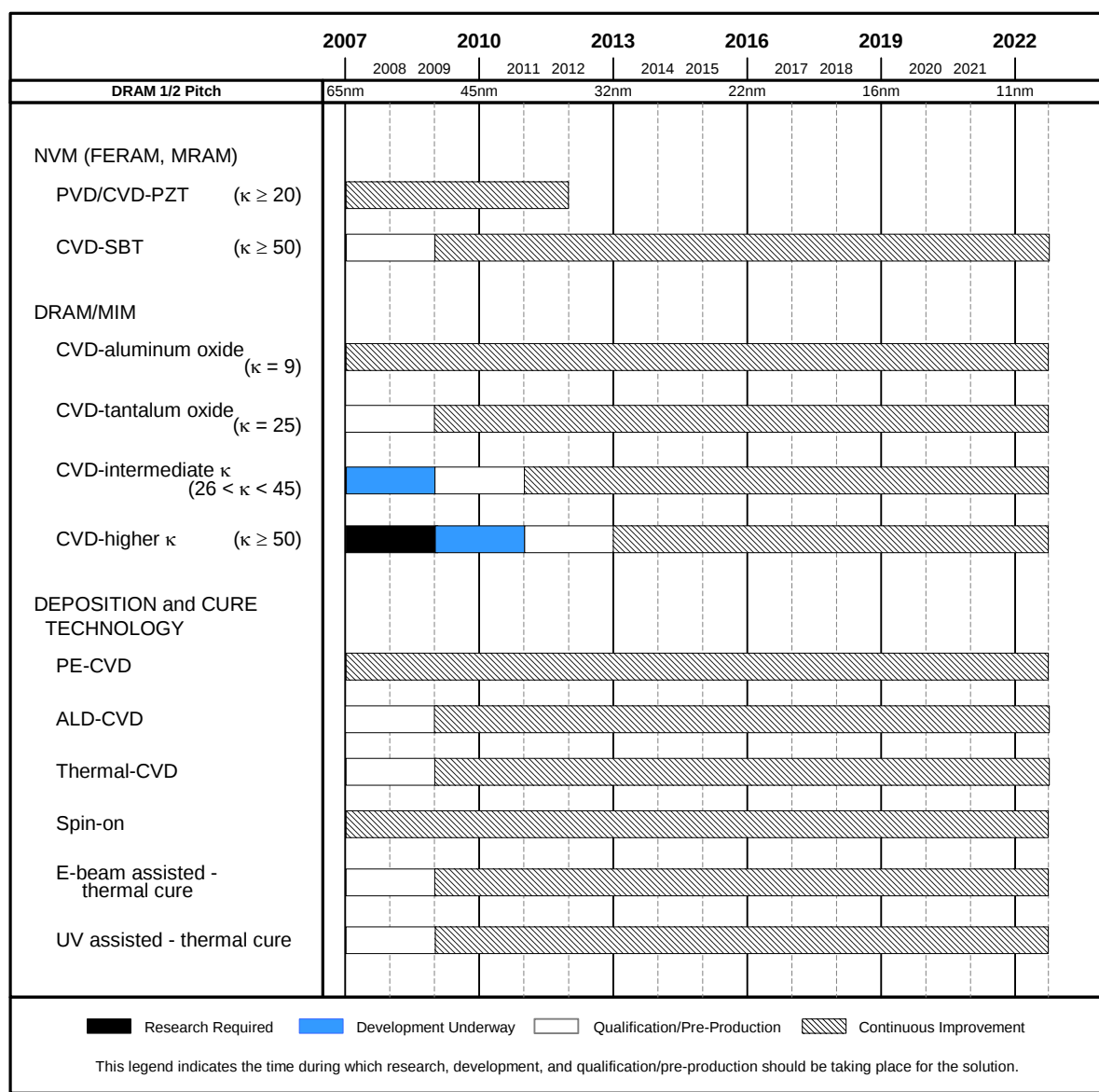


Figure INTC5 Dielectric Potential Solutions (continued)

金属配線下層絶縁(PMD)膜

PMD (Pre-Metal Dielectric) 層の成膜に用いられる技術については、誘電率低減における改良または技術の転換が展開され続ける。これらの変化を生じさせるのは、高性能ロジックチップに対して、PMD 材料の誘電率がメタル 1 の RC 遅延に及ぼす負の影響の増大である。“M1 配線の単位長さ当たりの容量”C と、RC 遅延とクロストークのパラメータとして C を含むことになる他の電気的パラメータが、PMD の誘電率を 4.2 で一定と仮定して計算されており、Table INTC2a と b、MPU 配線の技術的要求 (MPU Interconnect Technology Requirements) に示されている。ロジックの PMD 材料に関する詳細なロードマップは 2008 年の改版に向けて議論中である。さらに、high-k、メタルゲート、NiSi への動きに加え、DRAM における隣接ゲート間スペース部のアスペクト比増大とともに、NOR 型フラッシュメモリでの高濃度リンドーピングと熱履歴 (thermal budget) 低減への要求によって、より適した PMD 材料について、かなりの開発が行われるだろう。PMD の開発については、性能に寄与する性質、より低い誘電率の材料と製造性 (成膜温度の低下、埋設性と平坦性の向上) に努力の焦点が向けられるだろう。ロジック回路における NiSi の接合とゲート電極への使用増大は、450°C から 490°C の範囲でのアニールが要求されるこうした成膜技術に問題を投げかけることになるだろう。幸い、メタルゲート導入と組み合わせた high-k の導入についての最近報告された熱履歴は、既に適用されている NiSi 技術と同じ温度範囲に落ち着こうとしている。この問題は、リンの高濃度ドーピングも要求された際には、さらに厳しいものとなる。NOR 型のフラッシュメモリでは、リテンションへの要求を満たすために 10% 程度の PMD リン濃度が必要

とされるにもかかわらず、既に NiSi を組み入れたものもある。DRAM の隣接ゲート間スペースにおけるアスペクト比は 2007 年までに 16:1 を超えると予測され、その後さらに増大すると思われる。その結果、プラズマプロセスによる DRAM の PMD 成膜は、ますます問題が多くなっていくだろう。プラズマを用いた PMD 成膜による薄ゲート絶縁膜へのプラズマダメージ (Plasma-induced Damage: PID) は重要とされていないが、ゲート絶縁膜の薄膜化や新しい high-k 材料への置き換えに際して考慮すべき領域となりうる。最後に、ビット線を含む層における容量低減のため、DRAM に low-k 絶縁膜が要求されるだろう。例えば実効的な k (k_{eff}) の値は、2010 年に 2.7 から 3.1 の範囲が、2020 までに 2.3 から 2.6 までの低減が要求されるだろう。将来の PMD 成膜プロセスは、ギャップ埋め込み、熱履歴、およびドーピング濃度の要求を達成するため、多段階とされ、場合によっては複数の異なるプロセスの組み合わせが用いられるようになるだろう。塗布 (spin-on) とプラズマ成膜の組み合わせは、近年中の製造への導入を見越して既に学会で報告が為されている。

配線層間絶縁膜

low-k 材料の導入と同時に、目標となる Cu 比抵抗を維持するため、継続的なバリアの薄膜化に加えて、金属バリア成膜技術の転換 (PVD→CVD→ALD) が計画されている。これらのインテグレーションの課題の組み合わせと、予測されるクロストークと RC 遅延の問題に対する代替策とされる設計の改良と併せて、過去 4 期の ITRS 文書で提案されていた low-k 配線層間絶縁膜の製造への広範な展開が延期された。

シリコンベースの絶縁材料に対しては、既にシリコン酸化膜で導入された“full via first”プロセスが依然として望ましいインテグレーションのスキームである。ハイブリッド (hybrid) のスキームでは通常有機材料が用いられるが、どちらのインテグレーションにおいてもコストに優れた製造プロセスと、最小となる k_{eff} を得ることができる。この k_{eff} は、設計側にとって最も重要であり、チップ内の Cu 配線に沿って電気信号が伝播する際に影響する、複合された絶縁膜の誘電率を示すパラメータである。チップ内でのよく制御されたテスト構造からこれらの値を抽出するために、多くの電氣的なシミュレーションモデルがある。付録の絶縁膜の項 (Dielectric Appendix) のシミュレーションの図は、幾つかの世代における low-k インテグレーションに対する抽出結果を示している。このモデルの入力は、ITRS で指標とされている、膜厚、アスペクト比、および将来量産開始される時期に商業的に使用可能と予測される low-k 材料である。 $k < 2.0$ となる極低誘電率 (Extreme low-k) 材料は 2015 年以降に要求されるだろう。エアギャップ構造 ($k=1.0$ の空気を用いたハイブリッド絶縁膜積層) のような、新たなインテグレーションスキームが要求されるかもしれない。

エッチングの選択性/ダメージ、193nm 用のフォトリソ、Cu CMP、および実装プロセスとの整合性に関連したインテグレーションの課題は、依然としてほぼ全ての low-k 絶縁膜材料に通じて重要な努力を要する領域である。物理的、機械的、および電氣的な特性とそれら相互の関係は、インテグレーションと信頼性の成功を確定するのに十分とはなっておらず、産業としては未だ学習中の段階である。技術的な場では、ポーラス絶縁膜材料の望ましいポアサイズ、ポア形状、アスペクト比、および繋がり (オープンかクローズか) について活発な議論が続けられている。

ハードマスク

ハードマスクは、溝配線間の絶縁層最上部に成膜される絶縁膜に用いられる総称である。これには、メタル埋め込みに至る前のデュアルダマシン構造パターンニングの補助、高い選択性のある CMP ストップ層となること、という二つの主な機能がある。さらに、この層には、248nm と 193nm で用いられる伝統的な酸-触媒型フォトリソ系で有害な反応を起こす酸または塩基成分の高速な拡散を防止することが求められる。CMP と酸/塩基成分の抑制における効果に応じて、この層は全体の k_{eff} に対して重要でなくすることもできるが、大きな影響を与える存在にもなりうる。大抵のインテグレーションのスキームでは、この層の構成は他の絶縁層の選択とは無関係に選択できる。しかし、ハイブリッドのインテグレーションの場合には、ハードマスク絶縁膜材料とビア層絶縁膜材料が類似していれば、エッチングのシーケンスを単純化できる。塗布、CVD 成膜の両者ともに、少なくとも 3.0 まで比誘電率の低減が可能である。塗布系では 2.2 程度の低い誘電率のものも提供されている。

エッチストップ層ービア

ビアのエッチストップ層には、同程度に重要な二つの主要な機能がある。下層配線から外れた(non-landed)ビアの下にある IMD がエッチングされないよう、ビア絶縁層に対して適正なエッチング選択比がなくてはならない。また、下層の Cu 配線のキャップとしての役目もある。Cu の拡散を防止しつつ、Cu のエレクトロマイグレーションの要求を満たすための密着性と界面特性を持たねばならない。ビアのエッチストップ層は全体的な k_{eff} に重要な影響を与えるため、その膜厚と k 値はともにできるだけ小さくすべきである。選択的な導電性 Cu 拡散バリア層が導入された際には、全体的な k_{eff} に負の(増大する)影響を与えることなく、エッチング選択比と拡散防止に関する要求は全てまたは部分的に、または完全に導電性バリア層によって満足されるかもしれない。

エッチストップ層ートレンチ

トレンチのエッチストップの第一の機能は、時間制御でのエッチングとは対照的に、トレンチ底を信頼できるよう規定するためにエッチングの選択性を用いることである。さらに、空孔率(porosity)の高い low- k 層間絶縁膜材料の導入とともに、より薄い Cu バリア膜に適応するため、滑らかで明確に規定された溝底を形成するトレンチエッチングプロセスの重要性が増している。トレンチ底のラフネスが大きく、金属バリア膜の被覆の連続性に影響する場合は、信頼性の問題となる。トレンチ深さのばらつきは、金属配線の抵抗ばらつきと全体的な回路のタイミング分布のマージンに大きな影響を与える因子となりうる。ハイブリッド層間絶縁膜構造のような代替となるインテグレーションスキームにおいては異なるエッチング特性の絶縁膜が用いられるため、トレンチのエッチストップ層を別個に設ける必要がない、

DRAM

DRAM 技術では、スタック型およびトレンチ型のキャパシタ構造において中程度の誘電率の材料($5 < k < 40$)の導入という困難な作業が続けられてきている。トレンチ型 DRAM 技術では、活性化領域の拡張が可能のため、これらの中程度の誘電率材料の導入は少なくとも一世代遅れそうである。どちらの DRAM 技術においても、これら中程度の誘電率材料に関する理解を深めているところであり、将来のより高い k (> 40) への置き換えに対する投資となるだろう。

成膜およびキュア技術

層間絶縁膜材料の成膜技術は、歴史的にプラズマ増速化学気相成長法(Plasma-Enhanced Chemical Vapor Deposition: PECVD)技術を基盤としてきており、これに加えて有機系および無機系両者の塗布材料に注力する、小さいが成長しているグループがある。PECVD は、用いられてきた実績と、誘電率低減、膜の機械的強度(弾性率、硬度)向上の継続的な成功によって、成膜技術の主流であり続けている。

典型的に炉またはホットプレートが用いられる従来の熱的なキュア技術を、補う、もしくは置き換えることができる代替キュア技術への関心が増している。その目標は、既存の機能の化学反応を促進すること、または光(UV ランプ)や加速電子のような熱とは異なる形のエネルギーを効率的に吸収して、現行 Cu BEOL プロセスの熱履歴の範疇では不可能な反応を起こすことのできる絶縁膜によって、新たな(付加的な)機能を取り込めるようにすることである。UV または電子線(E-beam)によるキュア技術は、既に low- k および ultra-low- k 層間絶縁膜の無機材料の機械的特性向上に効果的な手段であることが示されている。この機械的強度の向上によって、CMP と実装の製造プロセスウインドウが拡大された。さらに、ultra-low- k 層間絶縁膜の母材に対しては、孤立型空孔(closed pores)の鋳型形成(templating)後におけるポロジェン(porogen)除去が、これらの開発中のキュア技術によって促進されている。広帯域および特定波長の、両方の紫外(ultraviolet: UV)エネルギーの使用に関する調査が報告されてきており、開発と商業的導入が続く。既に開発済みである電子線源は、絶縁膜に対して、機械的特性向上、ポロジェン材料の除去、および現在の層間絶縁膜の積層構造を構成する多くの絶縁膜間の密着性向上に用いられている。

エアギャップ(Air gap)技術

ポーラス low-k 材料の Cu デュアルダマシン構造に対するインテグレーションは多大な課題を伴い、これらの絶縁膜の導入は初期のロードマップの表記から遅れている。配線間絶縁膜としての k 値が 1 に近いことから、エアギャップは劇的な配線間容量低減と非常に低い実効的 k 値を得られる究極的なハイブリッド構成となる。異なるエアギャップインテグレーションのアプローチが多層配線作成のために開発されつつある。全てのアプローチは次の二つのカテゴリー、(1) 配線間材料を部分的にもしくは完全に除去した後に被覆性の低い (non-conformal) CVD 成膜を行うもの、(2) 絶縁膜キャップを通して選択除去可能な犠牲材料間に金属配線をダマシン(プロセスとして)インテグレーションするもの、のうちのどちらかに分類することができる。これらの手法は各々、利点とトレードオフとがある(エアギャップの形成法、課題、および性能的な優位性の追加情報はこの[リンクから利用可能](#))。

拡散防止(バリア)膜解決策候補

タングステンのローカル配線及び埋め込みコンタクトに対するバリア材料としては Ti/TiN[1]が当面の間、継続して使用されるだろう(Figure INCT6 参照)。長距離 PVD、イオン化 PVD、CVD のように既に確立している技術は、新しいシームのない W の埋め込み技術と DRAM の高アスペクトコンタクトのために、継続的に改良がなされる。現在 ALD (Atomic Layer Deposition) による Ti/TiN が開発中であり、これを用いることで、W 埋め込みの困難性を導くようなコンタクトホールへのピンチオフをなくすことができ、W の埋め込みが期待できる。Ti/TiN バリア膜は、膜厚の要求値と高い抵抗値のため、コンタクトプラグ抵抗を特徴づける重要なものになるであろうと期待される。WN[2,3]のような、コンタクトプラグへの ALD バリアの開発は進行中であり、Ti/TiN のバリア抵抗と膜厚の両方を低下できるようになる。その結果、コンタクトプラグ抵抗は低下させることが可能になる。従来の PVD 法と CVD バリア技術も改良され、高アスペクトのアルミ埋め込みなどに適用されるが、アルミ埋め込み技術が拡張されれば、ALD バリアは PVD と CVD 技術に取って代わる必要性が生じるだろう。新規材料やより高アスペクトへの埋め込み技術への探索も進められており、これにともない、現状のコンタクト/バリア/導電膜という複雑な構造は、よりシンプルなものになっていくだろう。TiN の本来の目的は、W-CVD のプリカーサである WF_6 による Ti と F の反応の防止であることから、フッ素を含まないプリカーサを用いれば、バリア膜を完全になくすことが可能になる。考察では、コンタクトスタッドに W に置き換えて Cu を使用することも報告されている。この場合、従来の PVD TaN/Ta もしくは ALD Cu バリアがバリア技術として使用される。電気メッキの Rh (ロジウム)[4]は、提案されている Ti とともに、コンタクトプラグの材料の解決策候補として検討されている。無電界メッキ Ni のような他の材料も、コンタクトプラグの材料として検討されている。

Cu 配線に使用される拡散防止材料は隣接する酸化膜への Cu の拡散を防止するためのみではなく、界面での Cu 配線の空孔拡散を低減し、十分なエレクトロマイグレーション耐性を確保させるようなものでなくてはならない。TaN/Ta[5]は今後も工業的には主流な材料であるが、Ta、Ti、W[6,7]の窒化物やシリコン窒化物、炭化物(カーバイド)なども有望な材料である。長距離 PVD、イオン化 PVD や CVD による膜形成は、将来のデュアルダマシン構造の側壁へ被覆性に対する要求にこたえるために改良され続ける。事実、イオン化 PVD の技術は改善されて、32nm 世代まで使われ続けるであろう。加えて、厳しい寸法とアスペクト比を持つロジック製品のグローバル配線では将来技術へは変更せずに残り、PVD バリア技術が使用され続ける。しかしながらこれらの PVD 成膜技術では、デュアルダマシンの溝の上部を狭めてしまうため、Cu の電気メッキによる埋め込み性に限界がある。

将来主流となる解決策として期待される ALD バリア[8-11]の開発に、非常に多くの努力が払われている。ALD の TaN と WNC が開発されはじめているが、エレクトロマイグレーション特性が十分に得られるのかどうか、銅との界面状態について疑問が残る。解決策候補のひとつとして、電気メッキ Cu との良好な界面状態を得るために、PVD Cu の上に PVD Ta のごく薄い層を形成する方法がある。ALD の Ru はその上に直接電気メッキ

Cuを成膜することが可能で、界面状態も良好だが、バリア性については疑わしい。さらに進んだ解決策候補は二つあり、一つは ALD TaN / ALD Ru、もう一つは ALD WNC / ALD Ru の 2 層構造バリアメタルである。

ALD バリア膜を採用するための最も大きな問題点は、ALD 膜形成の材料であるプリカーサ原料が多孔質 Low-k 膜内の空孔へ浸透することである。低誘電率膜の側面をチャンバ内で改質処理をすることによってこの問題を解決できるかもしれない。ALD バリアの浸透によるもうひとつの問題点は、ALD チャンバでの低いスループットである。これは、PVD バリアシードに対して、ALD バリアシード技術に必要とされるフロアスペースと CoO の増加をもたらすことになる。

Cu 配線技術のひとつの有望な開発として、自己形成バリア、特に Cu-Mn 合金がある[12]。このプロセスで、PVD Cu-Mn 合金シード層を使用することで、PVD バリアを除去できる。電気メッキ Cu 成膜後にアニールすることで、Cu 表面に Mn が拡散し、薄膜バリアを形成する。アニール後の Cu の最上面の Mn は、CMP 工程の結果に移動する。このプロセスのもうひとつの優位点は、Mn が下層ビア領域にバリアを形成しないことである。これは、Cu-Cu のビアとの界面に非常に低い抵抗をもたらすことになる。

メタルバリアのもうひとつの注目点は、Cu との上面界面である。この目的のためには、主として Si_3N_4 、 SiCN 、 SiC のような、プラズマ CVD による絶縁膜バリアが使用されている。これには、エレクトロマイグレーションを劣化させること、及びこれらの材料は誘電率が高いため、実効誘電率が高くなってしまうという問題点がある。エレクトロマイグレーション耐性を改善する Cu との界面状態の修正が、32nm 世代の MPU/ASIC で必要とされる。W、CoWP[13]、NiMoP 等のような、選択成膜可能な金属材料が探索されており、エレクトロマイグレーション耐性の大幅向上も確認されている。しかし、工業的には、選択成長金属キャップ膜は配線ショートによる歩留まり低下のリスクがあるため、導入は慎重になっている。キャッププロセスのもうひとつの有力な候補は、Cu との上面界面[14]への CuSiN 薄膜の形成である。これは、Cu 表面を SiH_4 と NH_3 で連続的にさらすことにより達成される。エレクトロマイグレーション耐性の改善は、CoWP を使った場合より大きくないが、メタル短絡とリークの信頼性悪化を減少することができる。先進のバリア材料と成膜技術の研究開発が必要とされ、平坦性とバリア膜と Cu 表面の間の格子不一致のような性質を研究することが、電子衝突効果による Cu 配線の抵抗値を改善することができる。

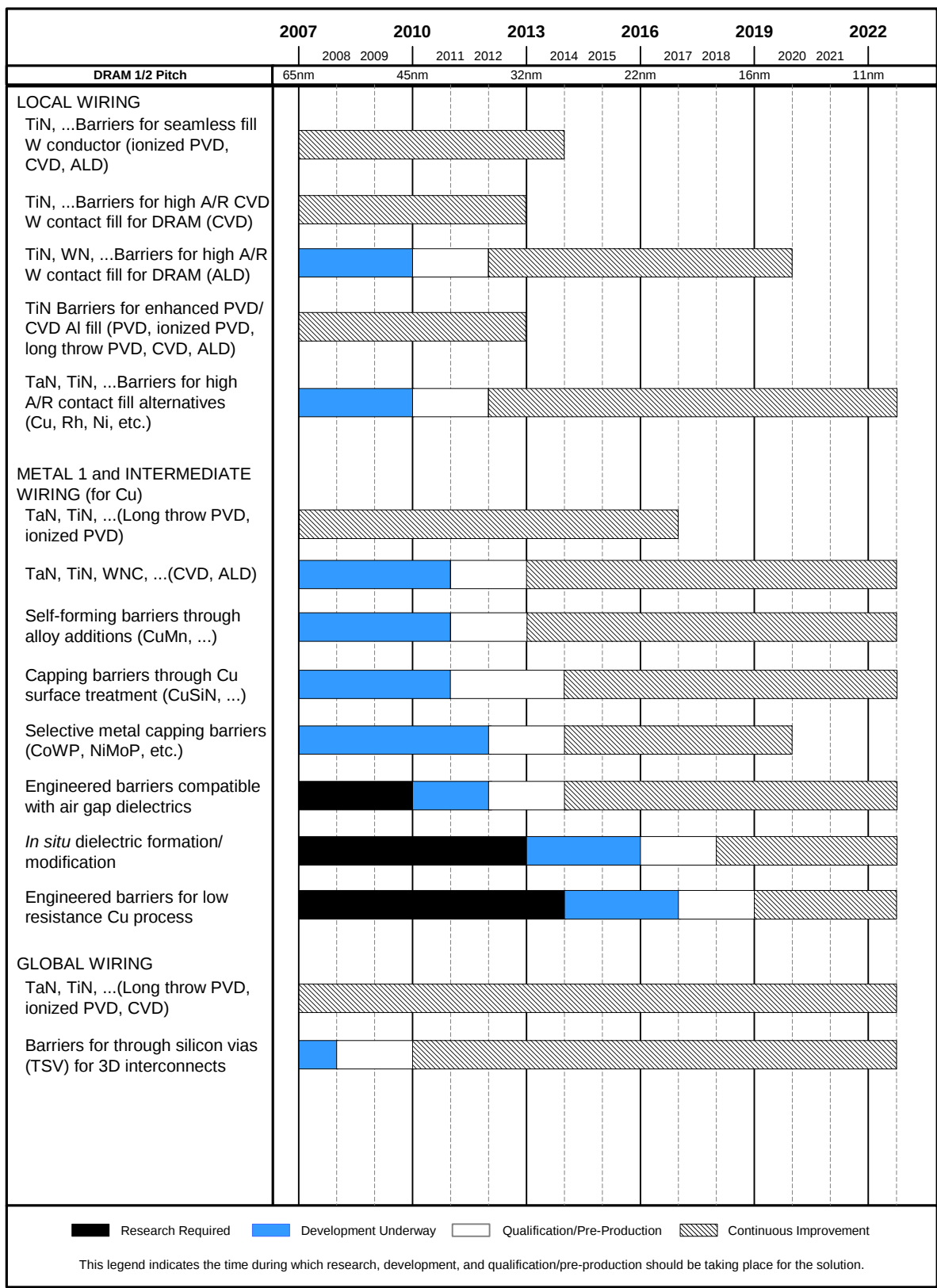


Figure INTC6 Barrier Potential Solutions

導電体膜に関する解決策候補

“M0(メタルゼロ)”とよばれることもあるローカル配線は、隣接するトランジスタを接続するための極めて短い配線に限定される。MPU、ASIC、DRAM 等のコンタクトとローカル配線については、タングステンが引き続き使用されるだろう。ALD 技術は CVD と組み合わせて、シームのない W 埋め込みのために、まず利用されるようになる。次工程に用いる電気メッキ Cu の欠陥を回避するためには、ローカル配線やコンタクトのW埋め込み

にシームがないということが特に重要なのである。また、W-CVD では通常シランによる核生成ステップが用いられるが、これで形成される、Si リッチな W がプラグ内に占める割合が高くなるため、将来の技術世代においては、コンタクト抵抗が許容できないほど上昇してしまうことになるだろう。このプロセスを変更するか、または、この層をなくすことが目標となる。W のコンタクトプラグとの置き換えで、材料とプロセスとして、電気メッキ Rh[4]と電気メッキ Cu[15]が“superfilling”(ボトムアップで膜が成長し、シーム形成の懸念がない)挙動を示すことが検討されている。スタックキャパシタ DRAM における高アスペクトコンタクト(2009 年には 17:1 になる)の W 埋め込みのためには、ALD による W 成膜の継続的な開発が必要である。最終的には、2010 年までにアスペクト比 20 を超えると予想されるスタックキャパシタ DRAM のコンタクトに対する長期的な要求に応えるために、新材料、新技術の開発に取りかからなくてはならない。アルミ配線はローカル配線として継続的に使用されるとともに、ダマシン構造に用いるための高性能 CVD/PVD のフロー技術[16]の改良もなされていくだろう。

MPU や ASIC の第 1 層配線および中間層の配線としては、Cu 配線を用いるのが望ましく、メッキによる成膜技術が近い将来の市場においてもなお支配的だろう[17-19]。シームのない埋め込みやより高いアスペクト比に対応するために、電気メッキ技術および装置の改良が継続的になされる。メッキ技術と CEP (Chemically Enhanced Planarization) 方式の CMP を統合することで、一台の装置で成膜と平坦化を同時に達成する技術も開発中である。しかしながら、成膜後アニールの間に Cu への熱負荷がかからないことは、グレイン成長には不利になり、信頼性に影響を与えるようである。このことは、CEP 技術の使用時に限られる。通常の Cu の熱負荷においても、優れたエレクトロマイグレーション耐性に要求される大きなグレインの竹状構造の最小サイズのダマシン配線に電気メッキ Cu を変形するには、困難性の増加があることが報告されている。その結果、表面拡散と同様に Cu の結晶粒界は、将来にエレクトロマイグレーションの潜在的不良モードとして考慮されなければならない。Cu 配線のエレクトロマイグレーション耐性を改善する潜在的解決策は Cu-Al[20]などの Cu 合金を使うことである。合金元素は、PVD Cu 合金シード層を使うことで採用され、その後、メッキ後のアニールで配線全体に拡散する。Cu 合金と界面の絶縁体 Cap を共に使用することで、エレクトロマイグレーション耐性を 50 倍改善できる結果が得られている。純金属配線と比較して、合金元素を使用することで、抵抗率の増加がみられる。MPU や ASIC に用いられる第 1 層配線および中間層の最小幅の Cu 配線には、電子散乱による抵抗増加がすでに起こっている[21-23]。しかし、これらの配線の配線長は技術世代に応じて短くなっているため、影響は最小限に抑えられている。グローバル配線のレベルでは、はるかに幅広い配線が用いられるため、サイズ効果の影響は最後まで受けないだろう。最小ピッチのグローバル配線の抵抗率はこの 10 年で 40%程度上昇することが予想される。このことは、大きな問題である。なぜなら、グローバル配線は、より長い距離を引き回されるため、第 1 層配線や中間層配線よりも、もっと特性に影響を与えやすいからである。この抵抗上昇の影響を緩和するためには、Cu の界面状態、微細構造、不純物レベル等の制御が必要である。MPU の配線は階層構造をとっており、グローバル配線のピッチと厚さは上層ほど大きくなっていく。最上層のグローバル配線は世代が変わってもほとんど変わらないため、電子散乱の影響は受けないだろう。金属の抵抗は温度依存性があり、それゆえに、IC チップの冷却は配線伝導率を改善するひとつの潜在的解決策である。しかしながら、これはほとんどの消費財や携帯デバイスにとっては実用的ではない。

他に設計上の手法として、リピータの使用、またはドライバーを大きくすることがあるが、両者ともチップサイズや消費電力に影響を与えてしまう。近い将来最も有望な解決策は、三次元 IC を可能にする技術としての高密度 TSV を使用することである。この技術を使用することで、すべての配線長を削減でき、機能の多様性を改善する Si 以外での解決策を合体することを許容できる。配線幅が狭く抵抗が高くなっていくグローバル配線の影響を最小にするため、もうひとつの近い将来での解決策は、設計と信号選択、パッケージ技術、の適切な組み合わせである。また、これらの問題を解決するための高周波や光技術の利用について、膨大な量の研究開発が行われている。より、急進的な解決策には、超伝導、カーボンナノチューブ等がある。三次元 IC のすべての議論、高密度 TSV のロードマップ、そしてその他は、新コンセプトとラジカルな節で記述される。

無線デバイスと通信分野の市場の増大は、配線層に作り込む受動素子のプロセスや材料への注力に拍車

をかける。特に、歩留まりと信頼性を向上させるための、MIM キャパシタの電極形成方法および材料に注目が集まっている。Al も Cu も、標準的なスパイラルインダクタに使用されているが、様々な磁性体材料や、異なったインダクタのデザインがこれらのデバイスの面積を低減するために出現するかもしれない。

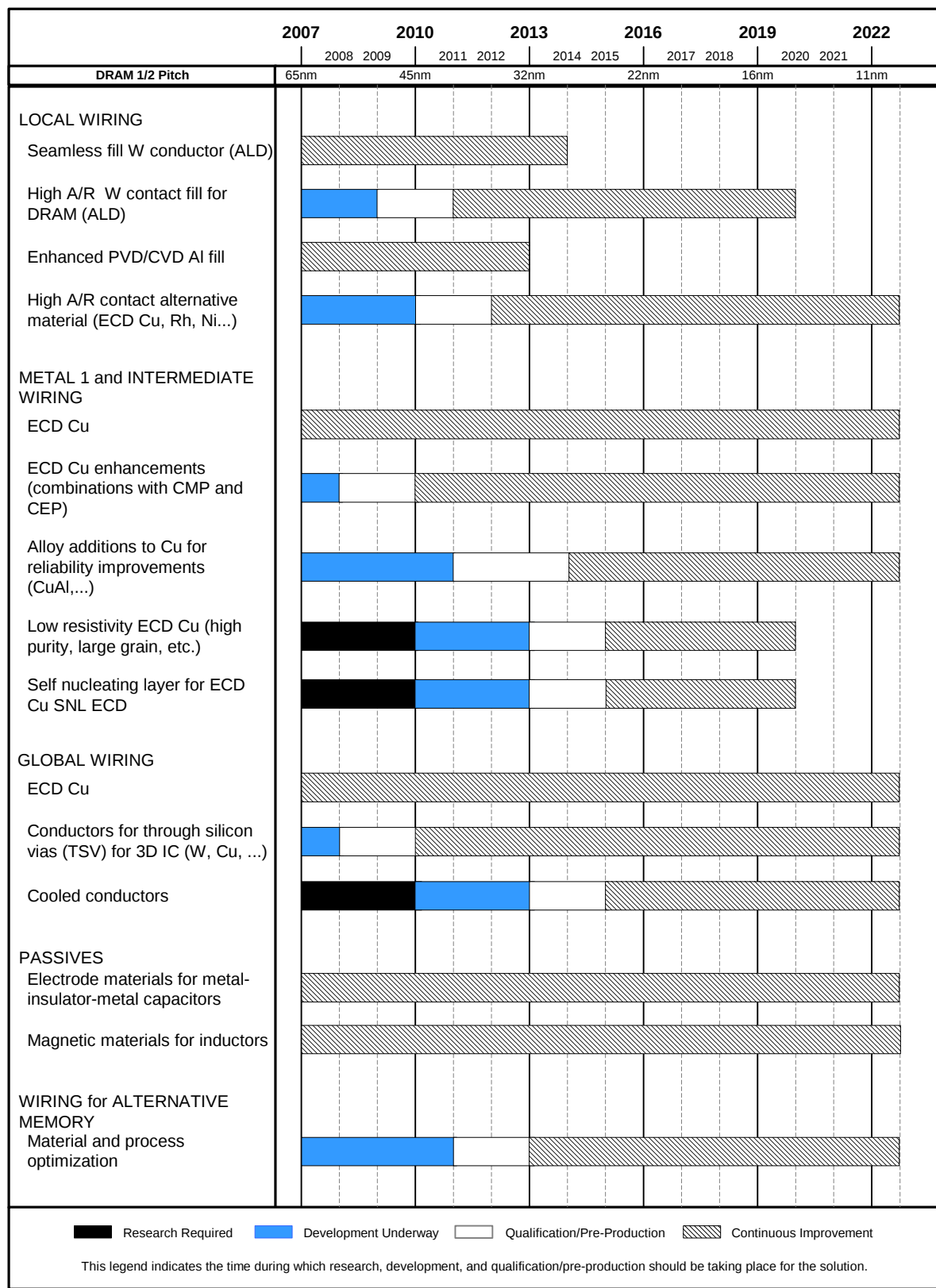


Figure INTC7 Conductor Potential Solutions

膜成長核形成に関する解決策候補

膜成長核形成層の微細構造部での均一性とカバレッジの良し悪しは、その次の導体金属の埋め込み工程におけるシームやボイドの発生に対して決定的な要因となり得る。ローカル配線やコンタクト埋め込みにおいては、従来から高アスペクト比コンタクトへの W 埋め込みを可能としてきた ALD W による成長核形成の継続的改善がなされるであろう。これらの ALD 核形成層は、通常非常に薄くなければならず、それによりプラグの伝導率は一般に改善されることになる。

ALD WN[2,3]プロセスは、CVD TiN と共に、バリアと膜成長核を結びつけるものとして開発されている。コンタクトプラグとしての W に対して両者は、電気めっきCuと電気めっきRhをふくんでいる。Cu の潜在的膜形成核層は、Ru[4]がRhの膜形成核として提案されていることで議論されている。Al 埋め込みの場合、CVD Al の膜成長核がこの技術の埋め込み特性の継続的改善に許容できる ALD に拡張されるであろう。DRAM の高アスペクトコンタクト埋め込みでの新たな材料とプロセスの開発は依然として継続中であり、これらに関しても ALD 成長核形成は必要となるであろう。メタル 1 や中間層配線、グローバル配線では、今後ともロングスロー PVD や各種のイオン化 PVD などの改善型 PVD Cu[24,25]が Cu 電解めっきプロセスの成長核形成技術として主要なものとなる。これらの技術の改善が、側壁のカバレッジや均一性に関して進んでおり、45nm 世代の最も厳しい寸法での現実性と 32nm での潜在的可能性がみえてきた。さらに PVD による Cu 成長核形成は、より大きな寸法のグローバル配線では引き続き使用されるであろう。しかしながら、これらの改善型 PVD もいつかはメタル 1 や中間層配線での信頼度の高い成長核形成層を提供出来なくなり、やがては ALD に取って代わられるだろう。また無電解めっき[26]、ALD、エレクトログラフト Cu 技術[27]、などを含む複数の Cu 成長核形成の研究が続けられるであろう。ALD Ru[28]は Cu 拡散に対して僅かしかバリア性を持たないが、Cu 電解めっきに対して大変良好な成長核形成層であることが実証されている。このため ALD Ta や ALD WNC などの他のバリア膜と組み合わせて用いられるものとみられる。PVD Cu の側壁カバレッジが限界であることに対する別の解決策としては、電解めっきを用いた成長核層のリペア技術[29]がある。なお、よりスマートな解決策は、電解めっきプロセスやバリア膜を改善して自己核形成が可能になるようにし、Cu 成長核形成を不要とすることである。

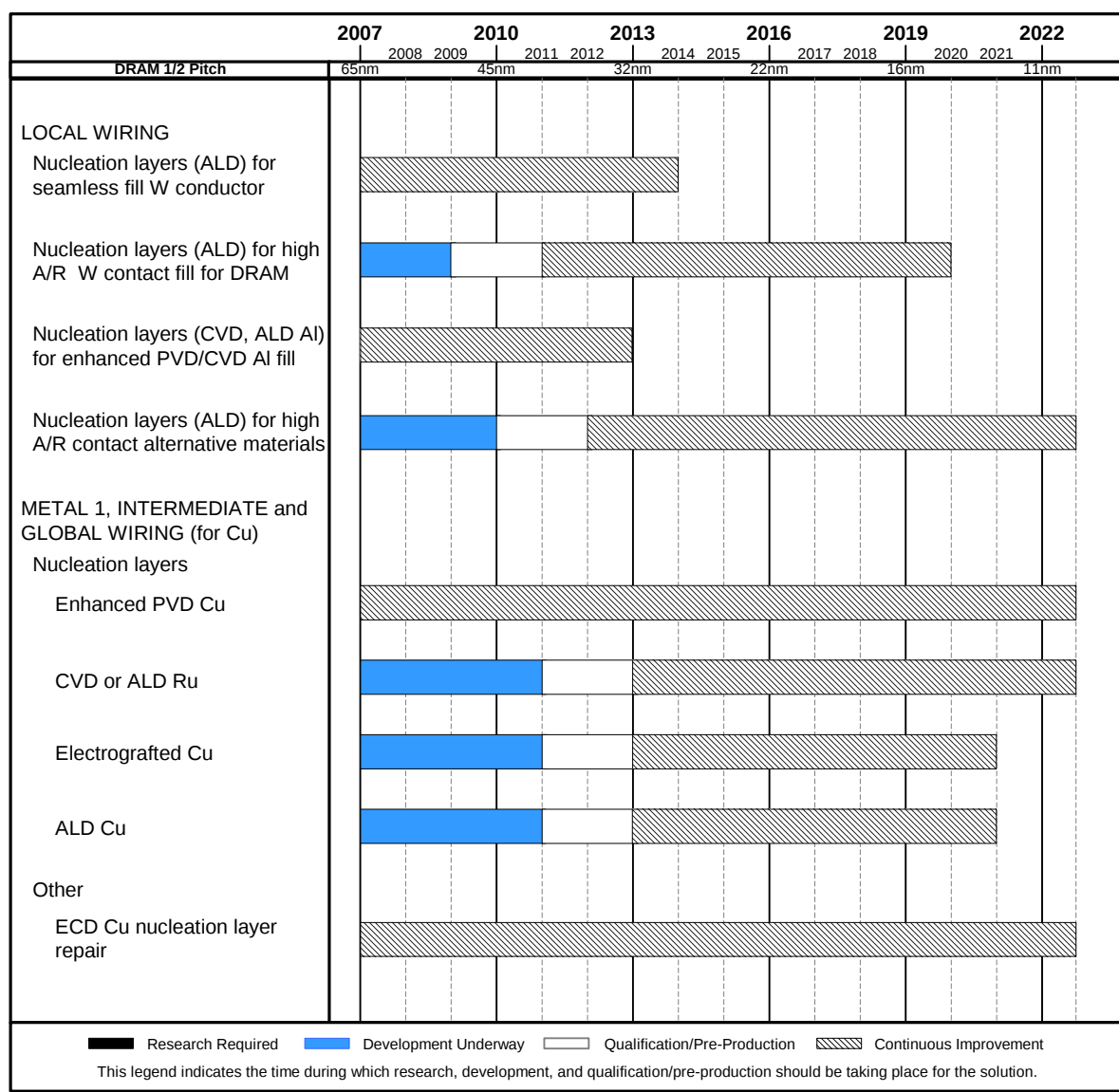


Figure INTC8 Nucleation Potential Solutions

平坦化に関する解決策候補

平坦化技術は、先進的な配線システムのプロセスフローにとって必要不可欠な工程となっている。なかでも化学機械的研磨とそれに類似の代替技術は、最有力な平坦化技術として存続している。一方、従来にはない新たな平坦化技術も、既存材料から作り出される新しい材料と新しい構造の導入に伴い増加し続けている。化学機械的研磨 (CMP) の利用が増加し、技術的に円熟したことから、欠陥、コスト、寸法誤差の制御性といった点が夫々の平坦化技術に対する関心の的となっている。平坦化技術毎に、特別にチューニングされた消耗部材や自由度の高い装置への要求が高まり、所望の平坦化性能と制御性はこれらを組み合わせることで達成される。

Figure INTC9 の平坦化に関する解決策候補を三項目に分割した。最初の部分は、主要用途についての時間軸を示している。この時間軸は、その次の装置と消耗部材の部分に記されている解決策候補にとっての前置きとしての役目も果たす。主要用途は絶縁膜または導体膜に大別される。

絶縁膜用途には、浅いトレンチ分離 (STI) を含めた。STI は配線プロセスには含まれないが、他の CMP 工程と同等の要求を共有し、またロードマップの他の項では詳細に触れられていないためである。STI の必要性は、金属配線形成前の層間絶縁膜 (PMD) で分離される新しいトランジスタ構造を実施することにより次世代技術

においては減少すると思われる。現在の PMD 平坦化工程では、主にロジック向けのターゲット法(バルク膜内のターゲット膜厚で止める)と、主に DRAM 向けの選択法(下層膜で止める)の両者が使われている。層間絶縁膜 CMP は、先端ロジックではもはや必要ではなくなり、メモリにおいても銅配線が適用されるにつれ段階的に廃止される。

平坦化技術の新しい用途への適用は確実にあると考えられるが、それらのために計画をたてることは困難である。ロジック技術では、新たなトランジスタ構造の採用により、酸化膜と窒化膜の選択率が相対的に低いあるいは逆転した PMD CMP の利用が促進されるであろう。不揮発性メモリ構造からは、例えばゲルマニウム・アンチモン・テルル (GeSbTe) 合金の CMP のような新たな要求がなされるであろう。

導体膜工程では、現在 DRAM およびフラッシュメモリで使用されているポリシリコン CMP は次第に置き換えられるであろう。タングステン CMP は大部分のコンタクトおよび DRAM ビア形成に使用されてきたが、ある種のデバイスに新たなコンタクト金属材料が採用され、メモリが銅配線への移行を完了するにつれ、使用量が減少するであろう。Cu およびバリアの CMP は、バリア、絶縁層およびハードマスクの全ての材料が時が経つにつれて変更されていることから、常に変化に直面している。平坦化と研磨量制御を達成するための努力が革新の原動力となっている。さらに、ポーラス low-k 材料を含む複雑化した積層構造における欠陥、実効誘電率、シート抵抗値性能向上への技術課題にも注目が集められている。最小微細 Cu 配線中の電子散乱による指数関数的な抵抗値の上昇の影響から、より厳密な研磨量制御が求められている。これに加えて、今後配線間の絶縁層はより脆弱となり、損傷しやすかつ吸湿性が高くなる傾向となっている。バリア成膜に ALD 技術を採用することはより均一に成膜にすることになり、銅の平坦化における CMP ストップ層として使えるバリア膜厚を劇的に減少させるものとなるであろう。バリアに使われる材料の選択肢も時が経つにつれて変わっていくであろう。これら全てが次世代 Cu およびバリアプロセスの研究開発要素である。また、生産工場では同じ世代であっても、配線層ごとに種類の異なる絶縁膜の使用に対応しなければならない。

新たな導電膜の平坦化アプリケーションもまた要求されるであろう。メモリキャパシタのための貴金属の平坦化は遅れているが、いまだに有望なものである。メタルゲートの平坦化の必要性は、材料とインテグレーションのスキームが決まれば同様に起こりうる。ある種のデバイスにおいては、タングステンコンタクトはより良い導体膜に置き換えられるであろう。アルミダマシン配線への関心が再度表面化してきている。さまざまな金属および合金が不揮発性メモリ (NVM) チップに利用されようとしている。CoWP のような自己形成型の表面拡散防止膜は、信頼性向上の面やエアギャップ構造を実現する為の方法として検討がなされている。これらは、現在のところ選択性が完全ではなく、CMP によるバフ研磨が必要かも知れない。3D IC にもまた新たな要求がなされている。

装置に関する開発は引き続き行われるだろう。ウェーハのバフ研磨と洗浄を統合することは研磨装置にとって標準となっており、最適化された薬液を取り扱えることウェーハなる。CMP 後のウェーハ洗浄は、平坦化プロセスとより密接に集約されたものとなっている。将来、洗浄薬液は個別の平坦化用途に適応するためにますます最適化されていくであろう。この個別化された洗浄方法は、薬品、粒子と対象とする膜表面の特有の組み合わせで決められる。洗浄のために機械的エネルギーを与える方法としては、バフパッド、ブラシあるいはコンタクトレスな方法が引き続き適用されるであろう。インライン膜測方法もその選択肢の1つであるが、様々なエンドポイント検出技術が今日使用されている。次世代装置は力、温度、平坦性および Defect を測定できるインライン計測を含むであろうし、さらには自動プロセス制御 (APC) を可能とするであろう。特に銅とバリア用の装置は、脆弱な膜の損傷を最小化するために低ストレスで操作することが必要となるであろう。ストレスは研磨レートとリセスに関して非常に良い均一性を実現するために、半径方向に調整できなければならないであろう。

代替の平坦化技術の開発はより重要となっている。これらのオプションは、導体膜の低ストレスでの除去を達成する為に開発された化学的に促進された平坦化、電気化学的機械平坦化などを含んでいる。長期的には、

超低ストレスレベルの実現に向けより多くの発想が必要とされるであろう。

消耗部材は数多くの平坦化性能を左右する最大の因子であり、それゆえ大幅な進歩が要求されるであろう。今日使用されている高砥粒濃度スラリーは、特に欠陥の観点から粘度を増加する方向を余儀なくされている。欠陥を低減するスラリーの開発は、より良い平坦性と欠陥およびコスト低減による生産性の向上を同時に達成するために重要なものである。より化学的な除去に推移した新規の化学作用は、機械的ストレスを落すことによる生産ロスを解消するのに役立つであろう。今使用されている砥粒は、それぞれの用途に適するように設計されなければならない。

通常ウレタンから作られ、様々な用途に使用されているハードパッドおよびソフトパッドの双方にも大幅な進歩が必要である。今日、固定砥粒パッドは主に STI で使われている。用途ごとにスラリーとの組み合わせを考えることが出来る様々な種類のパッドの開発が強く望まれている。代替平坦化技術の多くはその方法を実現可能とするために、使いやすく生産可能な薬液を必要とするであろう。パッドのコンディショニング方法の改善も必要である。平坦性、欠陥低減と生産性の点において性能を同時に実現する技術の開発が要求されている。多数の平坦化用途とそれぞれの相異なったインテグレーション体系に対応するため、調整可能な基本組成から特定の性能を提供するべく薬液の処方がますます最適化されるであろう。

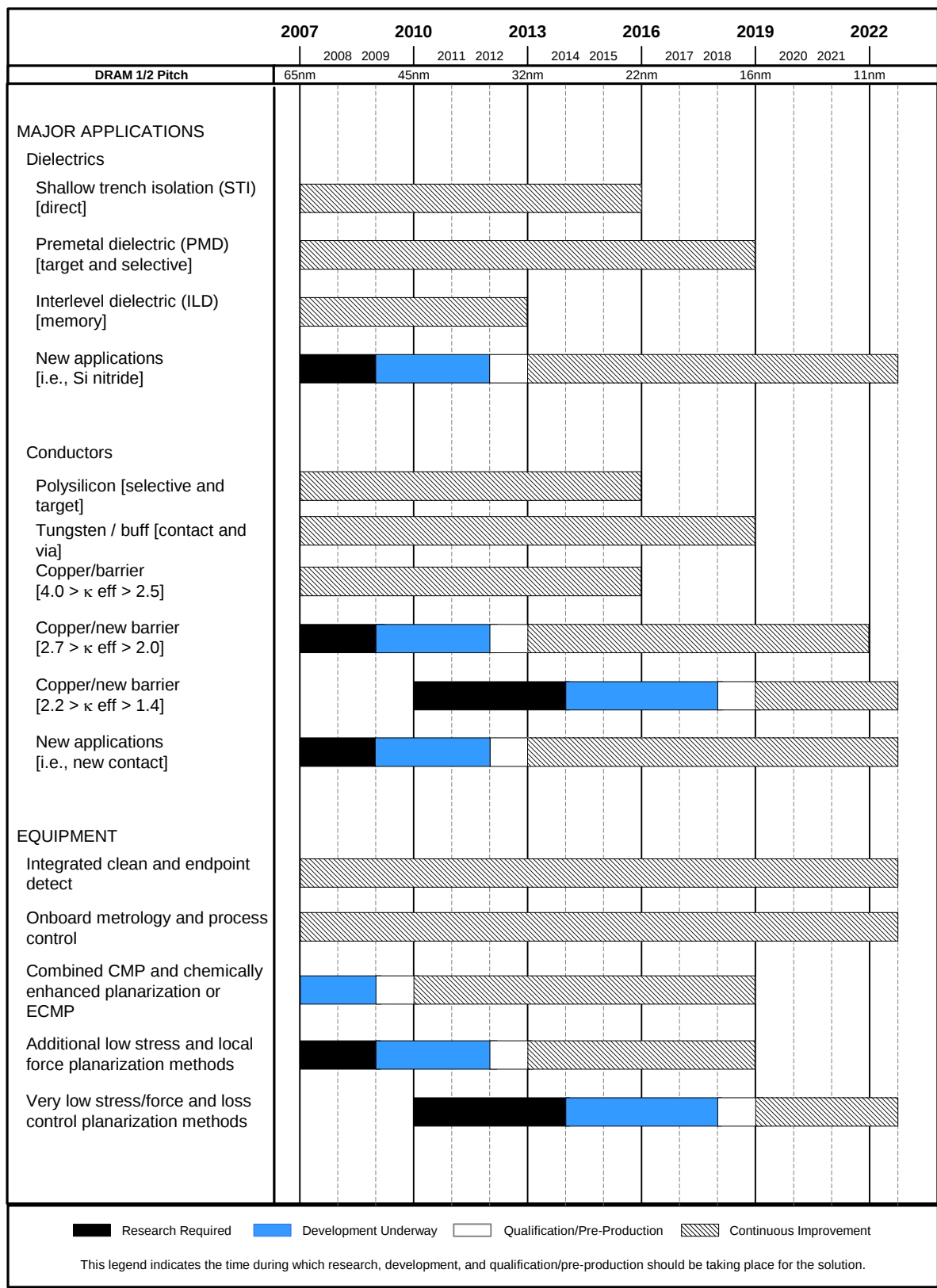


Figure INTC9 Planarization Potential Solutions

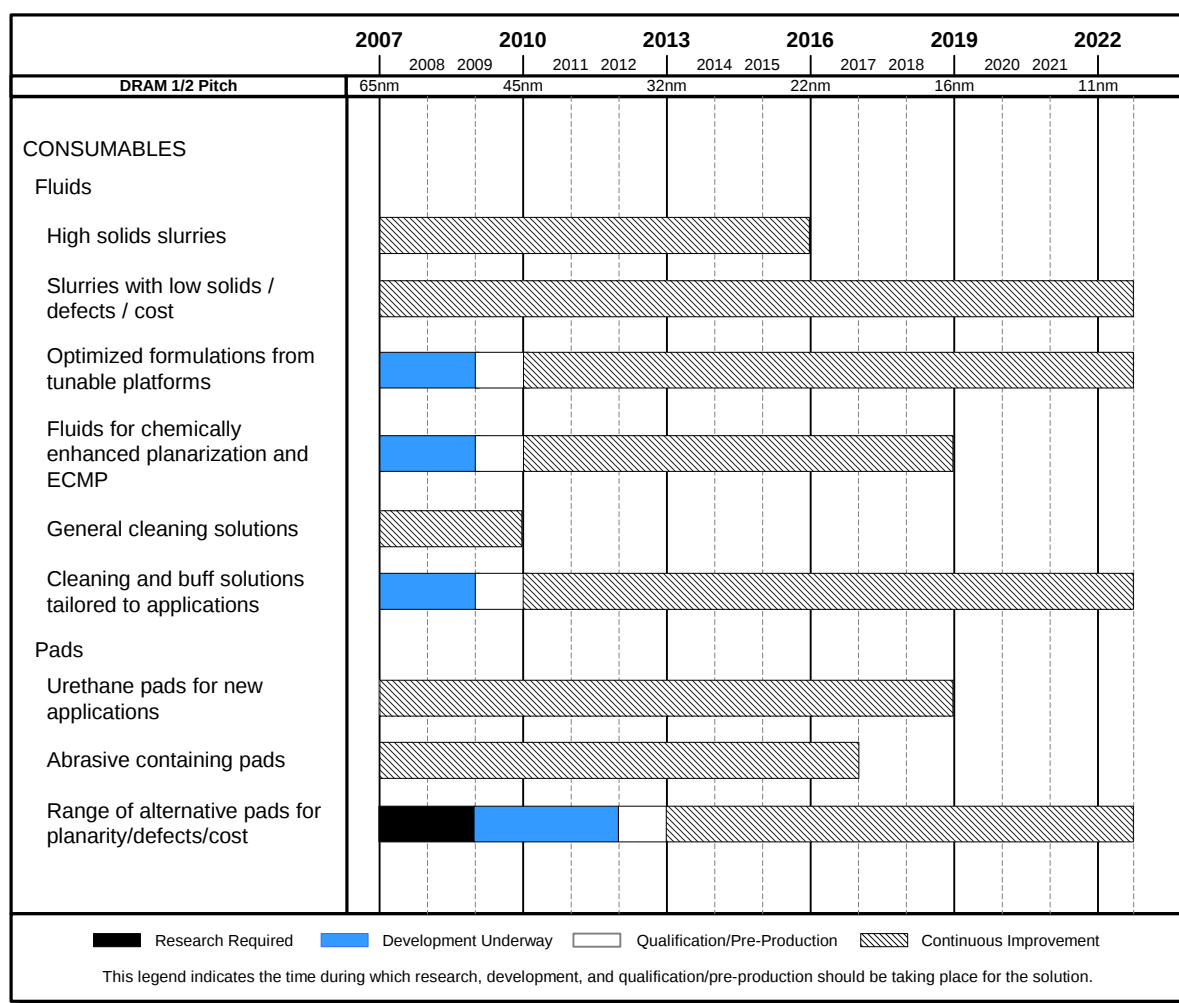


Figure INTC9 Planarization Potential Solutions (continued)

エッチング解決策候補

45nm 世代以降、ロジックおよびメモリ両デバイスに共通して、銅配線技術がバックエンド工程に採用される可能性が高い。アルミ配線は、狭線効果や劣悪なパターン転写性によって抵抗が高くなるため、主流から外れ、特殊メモリデバイス分野に限られるようになり、配線のデザインルールは、ロジックとメモリで等しくなると思われる。バックエンドの技術要求が共通化されることは、極めて重要な意味を持つ。これは、ロジックとメモリの両方を大量生産できる配線工程のみを請け負う大規模工場が成り立つことを意味する。更なる工場の投資は、ロジックとメモリの配線工程を混合して共通の設備にて生産できることによって、設備投資効率と工場稼働率の最大化の相乗効果が考慮してされて行われるかもしれない。

エッチング技術の分野では、要求される実効比誘電率を達成するために、無機、有機、あるいはその混合材料が採用されるロジックにおける絶縁膜エッチングが依然として主要な課題である。幅や深さなど、三次元での CD (Critical Dimension) 制御を改善すべく、エッチング選択比の材料依存性を利用して、材料の組合せが考慮されるであろう。ハードマスクのインテグレーションスキームが採用されたとしても、より精細な寸法制御をするために多層膜レジストスキームは必要であると思われる。これらのスキームによって、LER (Line Edge Roughness) が改善でき、レジストを薄膜化できることで、露光における高い像転写が達成できるであろう。現状の CCP (Capacitively Coupled Plasma) ソース技術を継続的に改善していくことによって、ほぼ一定のアスペクト比にてトレンチやビアの寸法のシュリンクすることと同様に、材料の課題にも適切に対応できると期待される。多孔質の低誘電率材料や ULK (Ultra Low-K) 材料、部分選択性エアギャップ技術、アッシングダメージ低減のためのメタルハードマスク導入の機運が高まっている。現状の ICP (Inductively Coupled Plasma) 技術を継続

的に改善することによって、メタルハードマスクの要求を満たすことが期待される。絶縁膜エッチングは、CCP チャンバ内でメタルハードマスク材料が露出した状態で行うため、エッチングガスやチャンバ内材料、メタルハードマスク材料との副生成物は揮発性が低く、プロセスの清浄度や安定性が課題となる。高い歩留とアップタイム、稼働率のために、新しいチャンバ内材料選択やガス最適化が望まれる。一方、高信号維持のため、高誘電率材料と誘導原、接地電極を用いた MIM (Metal-Insulator-Metal) キャパシタの配線層への導入は、代替構成形成方法として好まれるかもしれない。この技術は、長期に渡る ICP ソース技術の使用を確定し、ICP ソースによるアルミ配線エッチングの削減要求を埋め合わせる以上のものと為り得る。

もし、ハードマスク技術が使用されないと、レジスト除去は Low-k や ULK のインテグレーションで常に課題となるであろう。レジスト除去が必要なスキームでは、エッチング中の堆積物を少なくし、あるいは、エッチストップレイヤーの開口でスパッタされた銅のように物理的に飛散・再付着する金属を少なくするような、ダメージを与えずにレジストや堆積物を除去するためのエッチングプロセスの開発が必要となると思われる。低ダメージのレジストや堆積物除去には、従来の高圧力のアッシャーより方向性の高いプラズマソース技術が有効である。多孔質 ULK 絶縁膜エッチングには、ダメージ修復、もしくはポアシーリング、あるいはその両方の処理が必要になるかもしれない。これらの技術要求によって、エッチャーやアッシャーが、多機能のマルチステーションシステムへ発展する可能性がある。ダメージを受けた絶縁膜の吸湿や水分との反応のような問題解決のためには、エッチングやアッシング、薬液による除去、ダメージ修復、脱ガス、ポアシーリングステップを含む一括したプロセスフローが要求され、最終的には、エッチングやレジスト除去装置は、PVD のようなクラスタシステムになるかもしれない。このようなプラットフォームは、種々の多層膜を併せ持つ場合や、あるいはエッチング中の堆積物が大気に露出することで除去が困難になるような他のプロセスにも有効な手段となりえる。プラズマによるアッシング技術の将来性については、懸念事項の一つである。最も進んだ技術の世代では、代替技術が必要となるかもしれない。

ハーフピッチ 45nm より先の世代では、PRAM や RRAM、MRAM、FeRAM のような数ギガビット単位の新しい不揮発性メモリデバイス分野が展開され、主流デバイスになるべく競い合うと思われる。これらの新しいデバイスは、メモリ技術とロジック技術の分類を曖昧にし、更にバックエンド技術を収束させることとなるだろう。これらのデバイスには、標準的な CMOS の FEOL 技術が使用されるが、メモリ素子はバックエンドの配線間に組み込まれる。これら新しいメモリの配線層数は、最先端ロジックデバイスに匹敵し、これらの技術は、将来の大規模工場によく適するであろう。また、これらのデバイスには、通常は、白金やニッケル、銀、イリジウムといった難溶性金属、貴金属、あるいはそれに近い金属が用いられる。典型的な誘電体材料には、GeSbTe や難溶性金属酸化膜、ペロブスカイト、希土類金属酸化膜が挙げられる。最もアグレッシブな構造は、1D-1R (1 diode/rectifier and 1 resistor) のような交差したメモリアレイになる。整流器は、MIM (Metal-Insulator-Metal) タイプのダイオードになると思われる。これらのプロセスには、現在のところ、難溶性金属の電極と誘電体、および強誘電体材料が使用され、スパッタで形状加工を行っているために、好ましい形状になっていない。メモリ構造の側壁にエッチングによる生成物が再付着することによって、許容以上のリークが起こるため、揮発性の高いエッチング生成物になるような新しいエッチングガスが望まれる。また、ソース側のカソードやウェーハを置くチャックを 500°C でプロセス運用できる設計にすることが必要になるかもしれない。縦型メモリースタック形状の開発は、将来、微細化するために必要な方向であり、重要な課題である。しかしながら、現状のソース技術を継続的に改善することと、新たなガス開発によって、将来技術の要求に対応できると見込まれる。

現状のメモリ技術の継続的な微細化は、記憶素子であるキャパシタの継続的な高アスペクト比化によって行われると予想される。しかしながら、絶縁膜やシリコンにトレンチを形成する現状のソース技術は、今後も継続して改善され、将来技術の要求に対応できると思われる。リソグラフィー設備にかかるコストが高いため、低コストで行えるダブルパターニング技術が期待されており、特に、メモリ技術で顕著である。必要に応じて多層に積まれた膜をエッチングすることで、最終パターンが決まる。現状のソース技術も用いて、これらの要求を達成できると予測している。

三次元 IC スタック技術では、薄いウェーハを貫通する穴をエッチングすることが必要になる。このようなエッチングプロセスには、現状のソース技術を用いて開発されてきており、これらの技術を継続的に改善することによって、将来技術の要求を満たすことができると思われる。ウェーハ貫通穴を加工するには、比較的多くの量のエッチングが必要となるため、原子量の大きい不活性ガスを用いて、エッチレートの向上が研究されている。装置のアベイラビリティもエッチング量を多くすることには有効であり、大量生産を行うために、装置ダウンタイムを削減するより効果のある方法が研究されるべきである。

地球温暖化に対するプラズマエッチングの悪い面は、常に課題となっており、無視できない問題である。IC 産業において、プラズマエッチングと洗浄の温室効果ガス排出量は、全体の排出量と比較すると、決して多くはないが、IC 産業としては、新しい環境に関する法律に従う必要がある。従って、より環境に優しいエッチングガスの開発・導入が期待される。

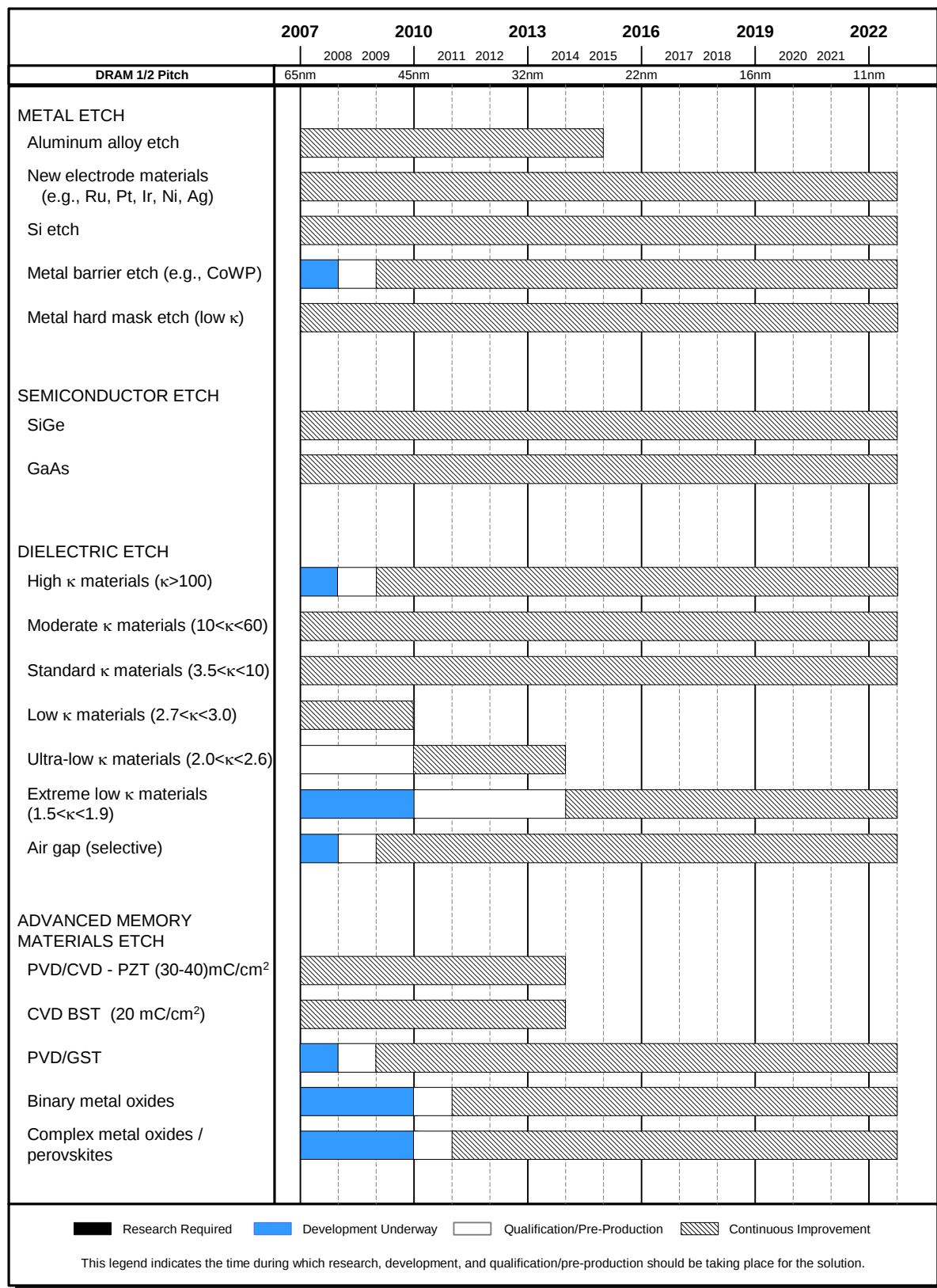


Figure INTCl0 Etch Potential Solutions

配線構造の表面処理

Cu 及 ULK 材料に基づく配線構造は、コンタクト及びキャパシタからの高アスペクト比構造により脆弱化している中、難しい表面状態制御へのチャレンジを示し続けている。配線表面の処理には、絶縁膜や金属膜のエ

ツチ後のフォトリソ剥離、剥離後の残渣除去、CMP 後洗浄、成膜前処理、そして成膜後処理が含まれる。表面処理のための新しい要求は、インターフェイスの付着の改良を含め、絶縁膜とバリア層の信頼性、絶縁膜の側壁のエッチングダメージの修復になる。エッチングとアッシングのダメージは、界面化学変化、膜の高密度化とトレンチの側壁と底のラフネスによるだろう。Table INTC4 の a, b は主に Cu と low-k 絶縁材料を用いたデュアルダマシンプロセスに注目したものとなっている。配線には、エッチストップやハードマスクに使われるシリコン酸化膜やシリコン窒化膜と同様に、バリアやシード層のような幾つかの他の金属材料も当然ながら含まれる。

ウェット洗浄、プラズマ洗浄、UV/レーザ洗浄と、その他の低温生成エアゾル(超微氷粒)のようなドライ洗浄法などはすべて潜在的な解決策と見なされている。表面処理に対するすべての技術課題をひとつのテクニックあるいは技術で解決できるようなものは存在しない。例えば、プラズマ剥離プロセスはフォトリソと残留物の除去にコスト効率が良いが、金属汚染を除去することができない。ウェット洗浄は、金属性の汚染は除去できるが、高アスペクト形状の場合に乾燥が難しいことが判明している。また、プラズマストリップは、ウェット洗浄の間、CD ロスにより被害を受け易なっており、絶縁体にダメージを引き起こすことは明らかである。

表面処理は個別のスタンド・アロンの過程であると一般にみなされるが、いくつかのケース、例えば、CMP では、技術的利点が表面処理ステップをプロセス装置の中に組み入れることで達成されている。様々な表面処理法の組み合わせがウェーハ表面の洗浄に効果的であることが判明している。例えば、デュアルダマシンプロセスの配線トレンチエッチング後の典型的な洗浄シーケンスとそして、その後のバリア絶縁膜除去は、トレンチエッチング、in-situ エッチング後のレジスト剥離とバリア絶縁膜除去が全て入るオールインワンのエッチング/洗浄のクラスターの装置チャンバが含まれる。多孔性 low-k 材料のためには、keff の増加の制限と多孔性 low-k 絶縁膜にバリア金属の浸透を防ぐために追加のダメージ修復、およびポアシーリングプロセスが in-situ に含まれるかもしれない。

DRAM生産がCu配線へ移行すると、ロジックデバイスが直面する同じ表面処理上の課題に対応しなければならない。さらに、コンタクトやシリンドラー型のキャパシタのような高アスペクト比の構造は洗浄や乾燥の両方が難しい。ウェーハの表面、裏面、そしてエッジは、金属および有機的な汚染とパーティクルを有効に洗浄しなければならない。表面は荒れていてはいけなく、また、材料は影響されてはならない。何らかの救済が側壁の荒さ(プラズマから生じるか、または洗浄プロセス)と、バリアと配線抵抗率という並立している影響を制限するのに必要であるかもしれない。

配線の表面処理に対する“技術課題と有望解は、主にCuとlow-k材料のインテグレーションのスキームに基づいている。Figure INTC11を参照。近い期間については、low-kの絶縁体は高密度かナノ多孔性の材料になるだろう。これらの材料のため、エッチング、レジスト剥離、そして洗浄中に起こるかもしれない側壁の損傷は信頼性と歩留りだけではなく絶縁体の実効k値に主な影響力を及ぼすことが出来る。非常に高い疎水性で、高アスペクト比の構造物での洗浄(残留物とパーティクルの除去)は、独特な挑戦を示す。銅薄膜は、特にバリアと銅のインターフェイス周りを腐食させることなく洗浄されなければならない。そして仕上げ表面に厚い酸化膜が残らないようにして、電気的なコンタクトを確保しなければいけない。トランジスタ部への Cu の混入を避けるために、ウェーハ端や裏面の Cu を洗浄しなければいけない。

2012年までにインテグレーションに用いられると予想されるメゾポーラスlow-k絶縁膜は、大きいポアの密度によりエッチングと表面処理薬液やプラズマを絶縁膜に深く入り込むため、極端な表面処理への挑戦を提示している。これは誘電率の増加による下地のダメージ、絶縁破壊の低下、絶縁膜のボイド、そして信頼性の減少などの深刻な結果を生じる。ポーラス状のそして炭素を含むUltra Low-k絶縁膜の統合は特に難しいと判明するかもしれない。この世代のために調査される表面処理と洗浄のテクニックはウェットとプラズマ洗浄を超えて超臨界液体、極低温のエアゾール、およびレーザ洗浄に広がるかもしれない。ウェット、プラズマそして熱処理技

術の進歩はこれらの技術への改良が予想され未来まで拡大可能であると信じられている。表面のポアのシールに薄いALDバリアを使用して、絶縁膜へのバリア浸透を防ぐのに必要かもしれない。いくつかのウェットとドライのテクニックは調査され始めている。

ウェット洗浄は、少なくとも予見できる未来での、CMP 後、レジスト剥離後、および成膜前の洗浄プロセスの選択肢であり続ける。Cuとlow-k絶縁体材料はウェット式またはウェットとドライのコンビネーションで洗浄できる。希薄な酸をベースに、フッ素系の化学物質、表面活性剤、キレート剤、そして/あるいは、腐食防止物質を添加した薬液が使用されるであろう。希薄なオゾン水や超臨界流体その他の独特な化学物質を用いるさらに先のウェット洗浄技術のアプローチはまだ研究段階であり、従来のテクニックで適切な性能を提供しないなら、使用されるかもしれない。

カーボンを含んだ low-k 絶縁膜は、疎水性表面が問題を引き起こしている。リンスした後、ウォーターマークが残らないように、あるいは表面活性剤の不要な残渣が残らないように乾燥させることがむずかしい。この問題に対して、表面張力乾燥法などのフロントエンドの表面処理技術で対処するかもしれない、あるいは新規プロセスの導入や、2-プロパノールと置換可能な新しい薬液の導入を加速するかもしれない。さらに、微細化に伴い、よりこわれやすい構造でできているため、ダメージレスの洗浄プロセスを必要とする。

微細化の進展にともない、パーティクルの除去はますます重要となる。ウェーハ裏面、ウェーハエッジ、表面のパーティクルを除去し、ウェーハを洗浄しなければならない。研究中の新方式には、メガソニック、ブラシ、およびウェーハダメージを最小にする他の物理的な方法を発展させた方法が含まれている。ウェーハエッジと裏面のパーティクルが歩留まり低下を引き起こすことが知られているが、定量化は難しい。ウェーハエッジと裏面のパーティクルを測定でき、歩留まりとの相関が得られる新しい装置は研究中である。

洗浄プロセスとケミカルは、低い濃度、低い毒性、そして環境にやさしい薬液を使用することで、環境、健康、および安全の問題に取り組むことになる。フッ素ベースの薬液と、特にキレート剤には廃液の問題がある。また、水の使用量を減らすこともゴールである。

Table INTC4a Interconnect Surface Preparation Technology Requirements—Near-term Years

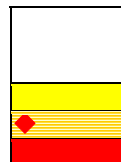
Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015	Driver
DRAM 1/2 Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25	D 1/2
MPU/ASIC Metal 1 1/2 Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25	M
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10	M
Wafer diameter (mm)	300	300	300	300	300	300	300	450	450	D 1/2, M
Wafer edge exclusion (mm)	2	2	2	2	2	2	2	2	2	D 1/2, M
Front surface particles										
Killer defect density, $D_p R_p$ (#/cm ²) [A]	0.023	0.016	0.02	0.025	0.016	0.02	0.025	0.016	0.02	D 1/2
Critical particle diameter, d_c (nm) [B]	32.5	28.5	25	22.5	20	17.5	16	14	12.5	D 1/2
Critical particle density, D_{pw} (#/wafer) [C]	80	54	68	86	123.3	155	195	123.1	155	D 1/2
Back surface particles										
Back surface critical particle diameter (nm) [D]	0.16	0.16	0.14	0.14	0.14	0.14	NA	NA	NA	D 1/2
Back surface critical particle density (#/wafer) [E]	200	200	200	200	200	200	NA	NA	NA	D 1/2
Edge bevel particles										
Edge bevel critical particle diameter (nm) [F]	130	114	100	90	80	70	64	56	50	M
Particles (cm ⁻²) (G)	TBD	TBD	TBD	TBD	TBD	TBD	TBD	TBD	TBD	M
Particles (#/wafer) (G)	TBD	TBD	TBD	TBD	TBD	TBD	TBD	TBD	TBD	M
Metallic Contamination										
Critical front surface metals (10 ⁹ atoms/cm ²) (H)	10	10	10	10	10	10	10	10	10	
Critical back surface metals (Cu) (10 ⁹ atoms/cm ²) (I)	500	500	500	250	250	250	100	100	100	
Mobile ions (10 ¹⁰ atoms/cm ²) [J]	2.5	2.5	2.5	2.5	2.5	2.5	2.4	2.4	2.4	
Organic contamination (10 ¹³ C atoms/cm ²) [K]	1.2	1	0.9	0.9	0.9	0.9	0.9	0.9	0.9	
Cleaning Effects on Dielectric Material										
Maximum dielectric constant increase due to Etch, Strip + Clean [L]	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	
Maximum dielectric constant increase due to rework [L]	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	
Maximum effect on dielectric critical dimension due to dry Strip [M]	1%	1%	1%	1%	1%	1%	1%	1%	1%	
Maximum effect on dielectric critical dimension due to Strip + Clean [M]	1.50%	1.50%	1.50%	1.50%	1.50%	1.50%	1.50%	1.50%	1.50%	

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



注釈 Table INTC4 とb:

[A]キラー欠陥密度 (Killer defect density) は、歩留まり99%に相当する欠陥密度を、式 $Y=0.99=\exp[-D_p R_p A_{eff}]$ から計算する。ここで A_{eff} は有効チップ面積、 D_p は欠陥密度、 R_p は欠陥のキラー率；着目する欠陥がデバイス動作を不良にする確率である。積 $D_p R_p$ はウェーハ上のキラー欠陥密度を示す。 R_p は、パーティクルの大きさや形状、組成、および特定のデバイスレイアウトといった数多くの要因に依存する。これまで、クリティカル パーティクル サイズ (Critical Particle size); d_c より大きなパーティクルに対して、すべて R_p を0.2 と仮定してきた。 A_{eff} は、Front End Surface Preparation の項と同じ値を仮定する。DRAM では、 $A_{eff}=2.5F^2T+(1-aF^2T/A_{chip})\times 0.6A_{chip}$ 。ここでF は最小寸法、a はセル フィル ファクタ、T はチップあたりのDRAMビット数(トランジスタ数)、 A_{chip} はDRAMチップサイズ。MPU では、 $A_{eff}=aT(GL)^2$ で、GL はゲート長。 A_{eff} は一連の技術／世代において増減するため、 $D_p R_p$ は年毎に減少するわけではない。

[B] クリティカル パーティクル径 (Critical particle diameter); d_c は歩留まり改善の項で、配線のハーフピッチ寸法の1/2と定義される。ほとんどのパーティクル状汚染物の形状は一定でないため、この値は“実効的な”粒径と考えるべきである。

[C]クリティカル パーティクル サイズより大きなパーティクルの欠陥キラー率 R_p を0.2 と仮定した場合の一例を示している。旧版のロードマップから用いている仮定で、一般的に有効な値ではなく、具体的な計算例を示すための値である。ウェーハあたりのパーティクル数は、 $R_p \times 3.14159 \times (\text{ウェーハ半径}-\text{ウェーハエッジの除外長さ})^2$ を用いて計算される。ウェーハあたりのパーティクル数を、クリティカル パーティクル サイズに対する値から、替わりのパーティクルサイズに対する値に変換するための換算式は以下の通り。 $D_{alternate}=D_{critical} \times (d_{critical}/d_{alternate})^2$ 。

[D] and [E] ウェーハ裏面のクリティカル パーティクルの直径と個数はFEOL 表面処理ドキュメントの表の要求からの抜粋。

[F] & [G]ウェーハエッジ、ベベル部のクリティカル パーティクルサイズは、DRAM 1/2 ピッチの2倍としている。剥がれ落

ちて、ウェーハ表面上に付着し、致命的な歩留まり低下を引き起こすパーティクルのサイズである。エッジ欠陥と歩留まりとを結びつける文献はほとんど存在しないが、パーティクルサイズや密度をできるだけ減らすことは重要である。その基準はまだ評価中であり、この表には値が記されていないが、最新の実験では配線プロセス工程、特にCMP工程でのエッジ ベベル部のパーティクル増分は、1/4 ウェーハあたり4 個以下にすべきという指摘がある。繰り返すが、この値は指針として扱うべきで、仕様ではない。

[H] 表側表面の金属汚染濃度は、トランジスタへの金属拡散による歩留まりの低下、あるいはデバイスのリーク電流に基づいている。データは、濃度1E13以下のCuが配線リークを引き起こし、1E10以下でトランジスタの劣化を引き起こす可能性があること示している。Cu が誘電膜中に拡散し、さらにトランジスタまで拡散する可能性について、Cu が厚いシリコンを通して拡散することができないというたくさんのリファレンスの事実から疑問は残るが、Cu 汚染は低いほうが良い。汚染濃度はまだ評価中であり、ここに示された値は指針として扱うべきで、仕様ではない。

[I] 裏面のCu 汚染濃度は、シリコン中のCu 拡散によって引き起こされるトランジスタの電気的パラメータの劣化に基づいている。裏面Cu 汚染がトランジスタに及ぼす効果を評価する多くの研究が行われてきた。最も深刻な影響は、電界ドリフトによるTDDDB である。裏面の酸素はシリコン中への拡散を防ぐ。しかし、いったんシリコン中に入ると、熱処理により拡散し、析出する。参考文献には、デバイス特性を劣化させる濃度として、1E15 以上や、1E11 以下という値が記されており、試験デバイスの構造や薄膜の厚さに依存している。繰り返すが、この値は指針として扱うべきで、仕様ではない。

[J] 配線の可動イオンはフロントエンドの基準ほど厳しくない。可動イオンは誘電膜中であっても同様の電気的な劣化を引き起こし、膜の損傷を生じるが、酸化膜にはある程度のナトリウムをゲッターリングする作用がある。裏面の汚染濃度として、フロントエンドの値を用いる。配線に対して、ここで示される原因は許容レベルについての指針であり、フロントエンドの基準値の約2 倍である。

[K] 有機汚染は通常、レジスト剥離と洗浄後とCMP後の洗浄後にウェーハ上に残存するハイドロカーボン層として存在する。有機汚染膜もしくは「カーボンスポット」というBTA とCu の化合物の層が残っていると、その上に成膜された膜が剥離する可能性がある。Cu の上の層がおおよそ1nmのBTA はおおよそ $4E+14$ 原子/cm² の炭素原子密度をもたらす。カーボンの残留物は、不適切に除去されたレジストやプロセスチャンバ内のパーティクルにも由来する。配線に対してフロントエンドと同じ基準が使われており、180nm ノードのD_c は、Si ウェーハ表面の被覆率10% (7.3E+13 の原子/cm²)に相当する。それに続く世代のD_c はCD との比率でスケールされる。D_c=(CD/180) (7.3E+13)

[L] エッチング、剥離と洗浄のプロセスは、絶縁膜の誘電率に有害な影響を及ぼすことが知られている。特に多孔質系誘電体材料で問題になる。この影響を最小限にし、ゆくゆくは無くすることが不可欠である。露光パターンニングのリワークには剥離と洗浄が含まれ、誘電率に同様の影響を及ぼす。これらの値は、許容できる誘電率の劣化量の指針である。

誘電率の変化は、MIS キャパシタの測定によるフラットな膜の測定が、一般にインテグレーション構造での値の代用にならないように、くし型トレンチ構造によって測定される必要がある。1 つの一般的なアプローチはバルクの誘電率量を仮定したコンピューター・シミュレーションからのそれらと測定RC 製品を比べることである。シミュレーションからの測定の違いはエッチング/剥離/洗浄ダメージを代表している場合がある。2012年の黄色から赤の色の変化はk値<2.1への絶縁膜の変化を反映している。

[M] 現在のエッチングと剥離方法はLow-k膜のカーボンを抜き去ることでダメージを与えている。しかしながら、このダメージの範囲は、その後のウェット洗浄後まで完全に残っているわけではない。エッチングと剥離の後のCD ロスは取るにたらないかもしれないが、下記のようなウェット洗浄の場合、CD ロスは重要になるかもしれない。洗浄がエッチングによってダメージを受けやすくなった膜厚を取り除くことができるので、ウェット洗浄の後のCD ロスの範囲はエッチングと洗浄プロセスの両方の結果であるかもしれない。測定できるCD ロスが明確でないため、トレンチとビア構造のBowing は、コンフォーマルなライナーとめっきによる成膜、及びCu のボイド発生への影響を軽減するためにも最小にしなければならない。2012 年の黄色から赤の色の変化はk値<2.1 への絶縁膜の変化を反映している。

Table INTC4b Interconnect Surface Preparation Technology Requirements—Long-term Years

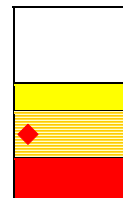
Year of Production	2016	2017	2018	2019	2020	2021	2022	Driver
DRAM 1/2 Pitch (nm) (contacted)	22	20	18	16	14	13	11	D 1/2
MPU/ASIC Metal 1 1/2 Pitch (nm)(contacted)	22	20	18	16	14	13	11	M
MPU Physical Gate Length (nm)	9	8	7	6	6	5	4	M
Wafer diameter (mm)	450	450	450	450	450	450	450	D 1/2, M
Wafer edge exclusion (mm)	2	2	2	2	2	2	2	D 1/2, M
<i>Front surface particles</i>								
Killer defect density, D _p R _p (#/cm ²) [A]	0.014	0.017	0.022	0.02	0.018	0.017	0.016	D 1/2
Critical particle diameter, d _c (nm) [B]	11	10	9	9	8	8	7	D 1/2
Critical particle density, D _{pw} (#/wafer) [C]	106	133.4	168	150	150	150	150	D 1/2
<i>Back surface particles</i>								
Back surface critical particle diameter (nm) [D]	NA	NA	NA	NA	NA	NA	NA	D 1/2
Back surface critical particle density (#/wafer) [E]	NA	NA	NA	NA	NA	NA	NA	D 1/2
<i>Edge bevel particles</i>								
Edge bevel critical particle diameter (nm) [F]	44	40	36	32	32	30	30	M
Particles (cm ⁻²) (G)	TBD	TBD	TBD	TBD	TBD	TBD	TBD	M
Particles (#/wafer) (G)	TBD	TBD	TBD	TBD	TBD	TBD	TBD	M
<i>Metallic Contamination</i>								
Critical front surface metals (10 ⁹ atoms/cm ²) (H)	10	10	10	10	10	10	10	
Critical back surface metals (Cu) (10 ⁹ atoms/cm ²) (I)	100	100	100	100	100	100	100	
Mobile ions (10 ¹⁰ atoms/cm ²) [J]	2.3	2.3	2.3	2.3	2.3	2.3	2.3	
Organic contamination (10 ¹³ C atoms/cm ²) [K]	0.9	0.9	0.9	0.9	0.9	0.9	0.9	
<i>Cleaning Effects on Dielectric Material</i>								
Maximum dielectric constant increase due to Etch, Strip + Clean [L]	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	
Maximum dielectric constant increase due to rework [L]	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	
Maximum effect on dielectric critical dimension due to dry Strip [M]	1%	1%	1%	1%	1%	1%	1%	
Maximum effect on dielectric critical dimension due to Strip + Clean [M]	1.50%	1.50%	1.50%	1.50%	1.50%	1.50%	1.50%	

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



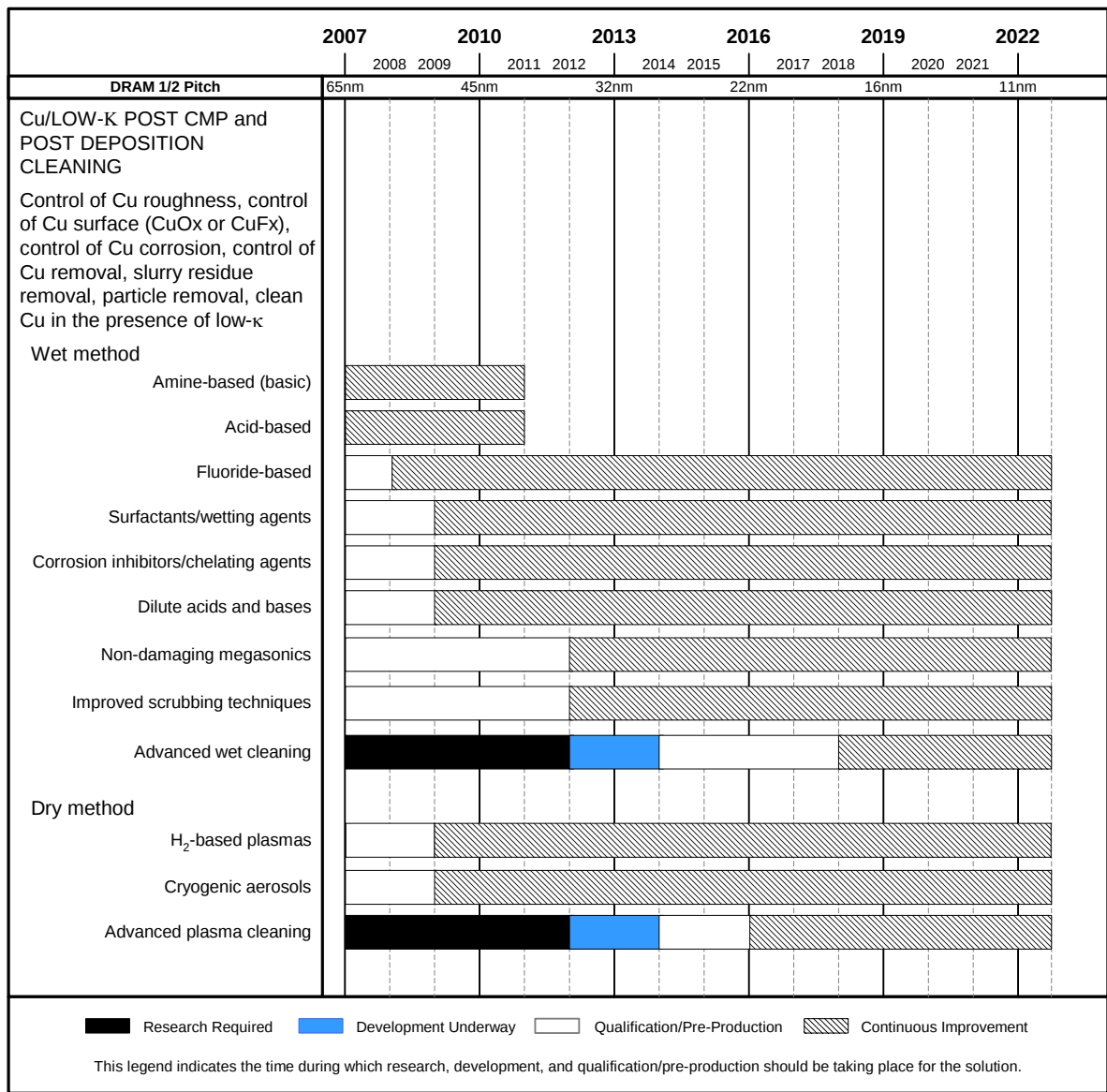


Figure INTC11 Interconnect Surface Preparation Potential Solutions

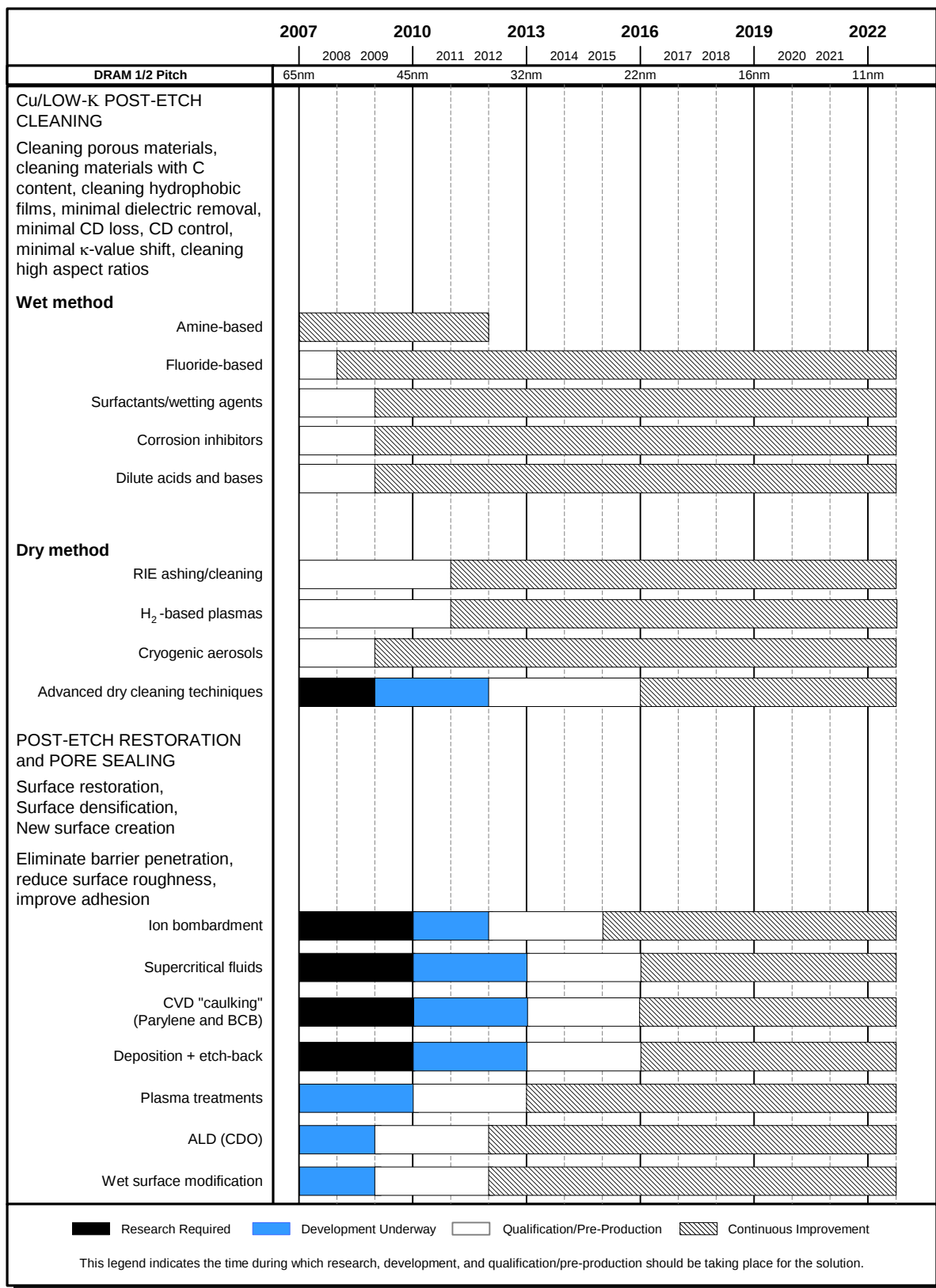


Figure INTC11 Interconnect Surface Preparation Potential Solutions (continued)

受動素子

イントロダクション

単体受動素子の用途がボード上からチップ上へ移り変わりつつあることは、今後のオンチップ配線技術にとって新たな挑戦になる。主にミックスドシグナル、高周波 (RF)、システムオンチップ (SOC) の最先端用途を実現するために、高精度で高品質の、キャパシタ、インダクタ、抵抗が要求されるようになっている。ミックスドシグナルと RF CMOS では、基板とのカップリングによるノイズやその他の寄生素子の低減と制御が、最も重要な課題のひとつである。アプリケーションの観点からみた受動素子への最も重要な要求は、「無線通信のための RF および AMS 技術 (RF and Analog/Mixed-signal Technologies for Wireless Communications)」章に挙げられている。これまでは、IC 上に受動回路素子 (例えば、キャパシタ、抵抗) を実現する方法は、フロントエンドプロセスによる集積化であった。この場合、ドーパされた単結晶シリコン基板やポリシリコン、そしてシリコン酸化物またはシリコン窒化物が使われる。フロントエンドプロセスで作製された受動素子は、シリコン基板の近くに形成されるため、高周波領域では特に性能が低下しやすい。そのため、低損失と低寄生素子への要求、つまり配線層に形成することで高品質な受動素子を実現する要求が高まっている。

配線層に受動素子を集積化するための主な課題は、すべての配線性能と信頼性を犠牲にすることなく、モジュール化してコスト効率よく実現することである。現在、オンチップインテグレーションにおいて、基本的に異なる 2 つのアプローチが検討されている。ひとつは、受動素子に必要な機能と特性を出来るだけ高い Q 値と最小の面積で達成するため、新材料を組み合わせた付加的な配線層を導入することである。通常、この方法は、プロセスが煩雑化し製造コストが高くなりやすいという欠点がある。代替案は、通常の配線層が有する特性か、あるいは「寄生素子 (例えば配線層に存在する、キャパシタンス、インダクタンス、抵抗)」による特性を利用することである。この 2 つ目の手段は、ウェーハ製造の視点では最も負担が軽い要求であるが、一般には受動素子の Q 値が劣化しやすく、チップ面積が大きくなりやすい。もうひとつのアプローチは、ウェーハレベルパッケージによるパッシベーション後の再配線層の使用、もしくはパッケージ内に直接受動素子を集積化することである。

MIM キャパシタ

高品質な金属-絶縁膜-金属 (MIM) キャパシタは、CMOS、BICMOS、そしてバイポーラチップに使用されることが多くなってきている。典型的なアプリケーションは、フィルタとアナログキャパシタ (例えば、A/D、D/A コンバータに使用) であり、さらに RF 発信器や共振回路やマッチングネットワークに使用する RF カップリングと RF バイパスキャパシタである。MIM キャパシタに求められる重要な特性は、広い電圧範囲にわたって高い線形性を持つこと (低い電圧依存性)、低い直列抵抗、優れたマッチング特性、容量値の小さな温度依存性、低いリーク電流、高いブレイクダウン電圧、十分な誘電体の信頼性を持つことである。

経済的な要求である小さなチップ面積の実現は、すなわち MIM のより高い電荷蓄積密度を要求する。 $1.5\text{-}2\text{fF}/\mu\text{m}^2$ の容量密度を超えると、従来のシリコン酸化物またはシリコン窒化物の薄膜化では、リーク電流の増加と誘電体の信頼性低下により、もはや使用できなくなる。それゆえ、 Al_2O_3 、 Ta_2O_5 、 HfO_2 、 Nb_2O_5 、 TiTaO 、BST、STO などのような新たな high-k 材料、または異なる材料の積層膜が MIM の誘電体として評価されており、将来用いられていくだろう。

常にそうであるように、新材料の導入は、成膜プロセス (最先端の PVD、CVD、または ALD 成膜法など)、プロセスインテグレーション、そして信頼性において新たなチャレンジを引き起こす。卓越した膜厚均一性、低い欠陥密度と高い誘電率を持った高品質の薄膜は、すべての配線技術と共存できるように 450°C 以下で成膜される必要がある。基板との寄生カップリングを減少させ、MIM キャパシタの高い Q 値を実現するためには、上層の配線層に集積化することが望ましい。

MIM の高い Q 値の実現と信頼性の要求値の達成には、低抵抗のキャパシタ電極および完全に制御された電極/誘電体界面が必要である。MIM キャパシタ用の high-k 材料を用いた実現性の高い集積化技術は、文献

に幾つか報告されている。しかしながら、最小の追加プロセスで、コストを抑えつつ生産性の高い解を見出すためには、依然として更なる改良が必要とされる。

インダクタ

高品質のオンチップインダクタは、アナログミックスドシグナルと高周波 (RF) アプリケーションにおける重要な部品である。現在、それらは、特に、インピーダンスマッチング、RF フィルタ、RF トランシーバ、電圧制御による発信器 (VCO)、パワーアンプそして低ノイズアンプ (LNA) の RF 回路に広く使われている。重要な特性は、高インダクタンス、高い自己共振周波数、低い抵抗損、低い渦電流、そして基板との低い容量損を保った状態で、高いクオリティファクター (Q 値) を実現することである。

現在のところ、最適な Q 値を実現するためには、シリコン基板からの十分な距離をもった低抵抗のコイルを製造する必要がある。このため、上層の厚膜 Al 配線または Cu 配線によるスパイラルインダクタが、最も広く用いられている。これらの単純なスパイラルインダクタは、標準の配線プロセスを用いて比較的簡単に製造することができる。しかし、それらは将来にわたる RF の要求を全て満足するために十分とは言い切れないだろう。それゆえ、いくつかのより先進的な構成や方法が追及されている。

一例として次のような検討が成功裡に報告されている。複数の配線層によるシャントコイル、金属のまたは磁性体金属のグランドプレーン、エアギャップ中に支持されたスパイラルインダクタ、厚膜の再配線層によるコイル (金属層の厚さが数 μm) が形成できるパッシベーション後の付加的なモジュール、または強磁性コア有りまたは無しのソレノイドインダクタといった検討である。基板による損失を減少させる他の方法は、高抵抗シリコン基板、SOI 基板もしくは、イオン照射かプロトン照射で部分的に半絶縁性にしたシリコン基板を使用することである。

しかしながら、集積化とプロセス複雑化の問題や、デバイスや製品の要求に適さないなどの理由により、これらの新規製造方法のうち量産に適さないものもある。これらの方法は、さらに高い周波数におけるさらに高いインダクタンスを実現して性能向上すること、コイルの抵抗損とあるいは基板の寄生素子を減少させ Q 値を向上することにおける、絶え間ない努力の現れといえる。

抵抗体

精度の高い薄膜抵抗は、アナログ回路とミックスドシグナル回路や一部の SOC 製品に広く使われている。重要な特性は、正確な抵抗制御性、優れたマッチング特性、電圧に対する高い線形性、低い温度係数、低い $1/f$ ノイズ、そして高い Q 値を実現するために寄生素子の影響が小さいことである。現在、最も広く用いられているフロントエンドプロセスで作製された、シリコン基板による抵抗、ポリシリコン抵抗、そしてシリサイド抵抗は、主に、 $1/f$ ノイズと基板損が問題になりやすい。

配線層における薄膜抵抗は、 $1/f$ ノイズ性能と他の基板損を著しく改善することができる。配線層に形成する抵抗の主な課題は、調整可能な適当な大きさのシート抵抗を持った材料を見つけることである。さらに、その材料は、通常の配線材料とのプロセス親和性が高く、集積化しやすく、優れた膜厚制御性と、モジュールに集積化する際の絶縁膜との高いエッチング選択比をもつことが求められる。特に銅配線においては、TaN が有望な候補材料として見出されているが、他の材料に近い将来に採用される可能性もある。

アプリケーション、要求項目、それぞれの受動素子 (MIM キャパシタ、インダクタ、そして抵抗) のプロセスと集積化の課題に関する詳細は、最近の参考資料一覧をつけて、このリンクで示す (訳注: ITRS ホームページに掲載されている英文の文章にリンクがあります)。

信頼性

イントロダクション

配線の構成材料と構造の急速な変化は、新たな重大な信頼性のチャレンジを招いている。Al/SiO₂技術での不良メカニズムの理解は、この35年間以上の期間で、多くの蓄積がなされている。最近の10年間で、半導体産業は、Cu配線に移行した。そして、現在一連の新たな、そして／または、大幅に改良された低誘電率層間絶縁膜材料もまた導入に向けた努力が行われている。これらのすべての変更は、これまで用いられてきている成熟した材料セットがもたらした信頼性を損なわないことが要求される。不良は、配線密度、配線層数、そして消費電力のさらなる増加によりますます増大する。この節では、Cu/low-k配線に起因する信頼性課題について簡単に説明する。

Cu配線は、アルミニウムに比べて高い信頼性が得られるとの期待からも採用された。同等の環境下では、この期待は正しいであろう。しかしながら、半導体産業が、ダイ上の総配線数の増大のみならず微細化と電流密度の増大を続けてきた結果、Cu配線の信頼性維持は、かつてのアルミニウム配線と同様に挑戦的な課題となっている。このCu配線の信頼性は、周りを覆う層間絶縁膜のみならず、バリアやシード層の性質に強く依存している。Cu/low-k配線の信頼性は、前世代の配線から3つの高度な差異を有することがいまや明白であるシステムの信頼性で見做すべきである。

1. メタルマイグレーションの物理が、アルミニウムとはかなり異なる。
2. 低誘電率層間絶縁膜中では、メタルは圧縮というよりむしろ引っ張り応力が架かっているような状態にある。
3. 層間絶縁膜の κ 値が下がると機械強度も下がる。

Cu メタライゼーション

エレクトロマイグレーション不良は一般的にブラックの式[1]に従い、それにより目標寿命の間、Cu配線に安全に流せる最大電流密度(J_{EM})が決定される。しかし、配線断面積が小さくなると電流密度は大きくなるため、テクノロジーの世代が進むとエレクトロマイグレーションを防ぐマージンは小さくなっていく。このようなロードマップの年毎の配線微細化と電流密度の関係がTable INTC2a, bに示されている。表中の色付けされた年には、エレクトロマイグレーションを防ぐために何らかの手段を講じなければならないことを示している。

電流の流れる配線中では、Cu原子のドリフト速度は実効拡散係数により決まる。Cuの実効拡散係数は配線中に存在する可能性のある拡散経路により計算される[2]。実験と理論の結果から[3]、Cu配線の製造プロセスによらず、Cuのドリフト速度はほぼ一定である事が分かっている。さらにまた、配線寿命を決定するボイドがCu配線中にある事が分かっており、エレクトロマイグレーション不良の“ストロングモード”と呼ばれている(ビア部のボイドは“ウィークモード”)と呼ばれるが、プロセス改善により無くせると期待されている[4]。結果として、配線寿命と許容電流密度は配線断面積 $=w \times h$ により決まる(w と h はそれぞれCu配線の幅と高さを示す)。将来にわたって J_{EM} を維持するためには、Cuの拡散経路を変える必要がある。界面拡散から粒界拡散への変更では J_{EM} の大きな改善は期待できない。両者は同等のドリフト速度をもつと報告されているためである[5]。結論として、界面拡散と粒界拡散の両方あるいは一方を、バルク値に近づくように抑えるプロセス改善が必要となる。研究結果によると、キャップメタルとしてCoWPを用いること[3]や、CuAlのような合金を用いること[6]で、より低いドリフト速度が得られている。

エレクトロマイグレーションの研究初期から、短い配線では不良が出ない事が知られている(これはブラックの配線長 L_B と呼ばれる)。臨界積 $J_{EM} \times L_B$ 以下であれば、どのような電流密度と配線長であっても不良が起こら

ない。この臨界積は、配線構造中のメタルの機械的強度により決まる[8]。さらに、配線を取り囲む層間絶縁膜のヤング率や、配線とその上面の膜との密着強度の役割が注目されており、それらのプロセス改善でさらなる向上が期待できる。実験結果によると、臨界積 $J_{EM} \times L_B$ の値は1500～5000A/cmである。

ULK (ULTRA LOW-K MATERIALS) 材料

大まかに言ってバルク比誘電率3.0以下で定義されるlow-k材料への業界の移行は、どんなこれまでのロードマップが予測していたよりも長くかかった。このように移行に時間がかかったのは、初めは本質的に機械的、化学的強度の弱い材料を実装するのが難しかったため、次いで、最終製品でのこれらの構造の信頼性を保証するのが難しかったためである。

有機基がシリコンに導入されたシリカ系層間絶縁膜(SiOC)は、主なデバイスメーカーが選択した材料である。しかしながら、依然として、幾つかのデバイスメーカーが、特殊な用途で、有機ポリマーを層間絶縁膜として使用している。これらは緻密な膜で、2.5以下の比誘電率を実現している。さらに、比誘電率を下げるためには、空孔の導入が必要となる。

シリコン酸化膜と比較して、すべての低誘電率膜の候補が有する、共通する信頼性課題を以下に挙げる。

- ・ 低誘電率材料は、一般的に、金属配線に引っ張り応力が掛かるような熱膨張係数を有しており、この結果、パッケージ後テストするまで、わからないビアポッピング不良を引き起こす結果となる。材料の骨格により多くの炭素が導入されるほど、熱膨張係数は高くなり、メタルにより多くのストレスが加わる。
- ・ 低い機械強度や、破壊強度の材料はすべて、工程や、パッケージングや実使用で加えられる歪のもとで構造を維持することができ難くなる。ボンディング工程でのひびや剥がれによる不良は、産業界での目下の課題である。最後に、より低誘電率の材料は、応力やエレクトロマイグレーションにより引き起こされるメタル突き出しに対する耐性が低い。

ULK 材料(多孔質 Low-k)

絶縁膜への空孔の導入は、上述の効果のほとんどを悪化させる。空孔が形成された絶縁膜は機械的により弱くなり、絶縁膜が本来持っている、熱応力や、外部からの機械的応力や、メタル突き出しに対する耐性が劣化してしまう。さらに、ULKのメリットを活かすためには、ハードマスクや、CMPストッパー膜、エッチストッパー膜や、拡散防止絶縁膜は、省かれるか、比誘電率を低減しなければならないが、それは、同時に、性能の劣化を招く。

プロセスガスや薬品は、多孔質膜の内部に吸収される。ここでも再び、ダメージの場合と同様に、半導体産業界は、製造上の理由、またはより低い比誘電率を達成しなければならないことから、懸命に除去しようと試みている。しかしながら、吸収層中の如何なる残留物の信頼性への影響もほとんど解かつてはいない。

多孔質低誘電率膜での絶縁破壊の物理的なメカニズムは、よくわかっていない。不良の原因は、絶縁膜の材料固有の性質というよりむしろインテグレーションの方法にある。寄与する要因は、拡散バリアとアシスト層(ハードマスク、CMP/エッチストップ)の厚みや組成と界面の品質である。信頼性は、また、多孔質膜を通しての酸素の移動を防ぐための、組み立てとパッケージ工程の間や後のエッジシールと保護膜の性能にも依存する。

Cu/Low-k 材料とプロセス

これまでの低誘電率材料より桁違いに頑健な革命的な新しい低誘電率材料が開発されても、略述した課題を満足することができないということが、低誘電率材料の研究に捧げられた努力によって示された。すべての

要素プロセスやインテグレーションプロセスの変更は、低誘電率膜へのダメージを防止するか、改善するものでなくてはならない。一般的に、高いアスペクト比を有する構造から、低誘電率膜や、銅やバリア膜をアタックすることなく、残渣や、パーティクルを除去するためには、プラズマアッシングだけでは不十分であり、ウェットプロセスの追加が必要である。あらゆるlow-k膜やアシスト膜との組み合わせ構造に対して、ある一つの剥離装置、薬品、及びその組み合わせでは対応できない。

軽度のダメージは、CMP やバリアメタル形成前のスパッタエッチからも生じることが分っている。半導体産業界は、比誘電率を低減するためにダメージを改善する努力をするだろう。しかし、すべてのプロセスと材料の組み合わせに対する詳細な信頼性への影響について理解する必要がある。すべての要素技術は、長期信頼性課題に対する影響の受けやすさだけでなく、それぞれの技術に特異的な歩留まり低下メカニズムを有している。

モデリングとシミュレーション

新製品や新技術の設計において、コスト効率よく最初の設計で成功するためには、信頼性を考慮した CAD ツールが必要となる。モデリングとテスト技術の改善によって高精度化した不良メカニズムとそのモデリング用いて、新しい CAD ツールを入力データ作成する必要がある。これらのデータと高性能な信頼性 CAD ツールの採用により、設計手法を選択する際の製品信頼性に対する影響を評価することができる。新しい CAD ツールは、時間に対する回路の電気的特性劣化を計算できるように、開発されるべきである。この場合に用いられる入力データは下記の因子に基づく配線およびビアの抵抗上昇であろう。

- ・ 配線長
- ・ 回路の電流特性より導かれる電流密度
- ・ 回路またはその他のジュール発熱から計算された局所的な温度

これらのツールを回路設計者のツールセットに含めることにより、製品の信頼性を製造開始する前に予想し、解決策を編み出し、解決策の適用を促進する必要がある。

将来の信頼性の動向

上記の節では、Cu/low-k に対して同定された信頼性上の問題に関してのみ議論した。多様な Cu/low-k 配線信頼性特性を十分に解明し、設計段階での信頼性作りこみのための正確なモデルを構築するためには、継続的な研究が必要である。多様な Cu/low-k 配線信頼性特性を十分に解明し、設計段階での信頼性作りこみのための正確なモデルを構築するためには、継続的な研究が必要である。配線のサイズが微細化され、配線の体積に対する表面の面積が増加し、比抵抗に対する電子の表面散乱効果の寄与が大きくなるにつれて、Cu の信頼性課題を引き起こす多くの問題が生じることが予想される。この領域に入った時に技術が延命できるかを見極め、発生する特有の不良モードを同定するためには、Cu/low-k の根本的な信頼性限界を確認する必要がある。

他の配線技術、つまり光配線技術、パッケージを介した配線技術、三次元配線技術などに対するアプローチが、今後 5 年以内の実用化を目指して始まる。カーボンナノチューブによるアプローチも将来開始されるだろう。これらのアプローチに対するトータルのインテグレーション技術は不明で、信頼性の調査を完了することはできない。しかしながら研究部門では代替配線プロセスや設計技術を選択する際には、信頼性保証を主要検討項目とする必要がある。

システム及び性能に関する課題

配線性能

当面の配線技術(銅配線と低誘電率誘電膜)が、引き続き集積回路の性能要求を満たすために十分であるかどうかは、配線網の意図する機能と銅配線の製造技術によって変化する。要求が増すに従って、集積回路に必要なトータルでの技術ニーズを満たすために、ますます配線を、パッケージとシリコンチップを含めたシステムの一部として考える必要がある。

増加し続けている RC 遅延は、特に高性能製品においては最も重要なパラメータのひとつである。ローカルおよび中間層配線層のスケーリングされた配線はあまりクリティカルではなく、RC 遅延の増加も際立って多くはない。その一方で、セミグローバルおよびグローバル層での固定長の配線はより影響を受けやすく、RC 遅延を許容できる範囲内に抑えるには、リピータとしてのインバータを導入する必要がある。しかしながら、リピータを入れることによって余分なチップ面積が必要となり、消費電力も増えてしまう。回路によっては、この RC 遅延の増加は、固定長配線があまり必要ない、モジュール化されたアーキテクチャを用いるなどの変更によって対処することができる。これにそった最近のアプローチのひとつが、最先端マイクロプロセッサのデュアルないしはマルチ・コア・アーキテクチャである。複数のコアでの並列処理によって、高性能のシングル・コアプロセッサと比較してコアの周波数は低く消費電力も小さいながら、同等かそれ以上の処理性能を確保できる。とはいえ、そのような大きな回路アーキテクチャの変更は新たな設計ツールと新たなソフトウェアを必要とし、すべての回路に一律に適用することはできないという難点がある。

多くのデジタル・アプリケーションにおいては、RC 遅延が主たる因子であるが、ローカルおよび中間層での容量結合は、低電力アプリケーションにとっては非常にデリケートな問題である。寸法縮小や電流増加によって引き起こされるクロストークやノイズといった問題が、デジタルおよびアナログ回路両方において、大きな問題となってきている。これらのトレンドは、設計ストラテジに強く依存するので、その観点から考慮されるべきである。

クロックと信号伝達のための、スケーリングした配線に伴う問題に加えて、それと同様に困難な配線の問題は、回路の電力分配である。 V_{dd} の減少に関係して供給電流を増加することは、固定長の配線において電源とバイアス点の間の電圧降下を引き起こす。この問題は、固定長のクロックおよび信号配線のリピータによる解決策ほど容易には解決できない。

システムレベルでの集積化要求

前のセクションで同定された配線の問題は、新しいアプリケーションの登場によって増加しているほかの要求と併せて、システムレベル集積という視点で配線技術を捉えることを要求している。それは、望ましい動作特性を実現するための電氣的な性能と、物理的、機能的なマクロ機能の組み立て(アセンブリ)を含む。独立した部品(ベアチップあるいはチップ上の機能ブロック)の組み立てにおいては、システムに賦課されたすべての性能と信頼性要求を満たさなければならない。配線については、現状で、それらの要求はオンチップ配線、パッケージ、シリコンチップ、ボードレベル技術にはっきりと分かれた個別の機能によって満たされている。将来的には、このような観点は適切ではなくなる。というのも、現在の設計法では配線技術だけオンチップグローバル配線問題を解決することはできないと広く認められているからである。むしろ、最近の考え方は、設計、プロセス技術、パッケージング、ボード組み立てが一体となって、配線要求に対して最適化された集積システムレベルの解決策を提供する必要がある、というものである。

配線の進歩に関する現在の予測では、短期的には、新しい集積回路における配線遅延の問題は、クリティカルパスを最短にすべく特に注意を払うことで、プレーナ技術の制約の範囲内で、回路設計によって満足させ

られると考えられている。これは、Cu/low-k 技術を強力に推進することとともに、より革新的なパッケージング、三次元チップ集積やボードのアプローチと協調しておこなわれる。これによって、設計アーキテクチャの変更を最小限に抑えつつも、ITRS の期待する継続的な性能進歩を果たそうというものである。

中期的には、Cu/low-k は限界に達し、新しい設計アーキテクチャが、チップーパッケージ協調設計とともに、新しい CAD ツールで実現され、必要な性能進歩を著しく容易にすると考えられる。このような今ある技術の延長線上にない領域では、革新的な設計、パッケージング、配線技術の選択肢が必要になるだろう。このような選択肢は、集積回路の全体的なシステムの視点を必要とし、解決策の中でパッケージ、配線、シリコンチップを融合させる。パッケージ、配線、シリコンチップを融合させて1つの完全な解決策とするためのさまざまな選択肢についての考え方を、次のセクションで示す。

新しい配線のコンセプトと抜本的な解決策

イントロダクション

概要:既存のメタル／絶縁膜構造を凌駕する配線のコンセプトの議論は、この技術が台頭し始めてからここ 40 年に亘り、急激に増大した性能の向上、低消費電力化の要求と、ムーアの法則に沿った寸法の微細化の継続の推進によって、もたらされた。寸法の微細化と材料の変更による配線技術が困難さを増していることは以下のことから容易にわかる。1.0 μm の Al/SiO₂ 技術世代ではトランジスタ遅延は $\sim 20\text{ps}$ で RC 遅延は 1mm 配線で $\sim 1.0\text{ps}$ であったのに対し、今後の 0.35 μm の Cu/low-k 技術世代ではトランジスタ遅延は $\sim 1.0\text{ps}$ となるのに RC 遅延は 1mm 配線で $\sim 250\text{ps}$ [1]となってしまう。それに加えて、0.13 μm ルールではマイクロプロセッサの消費電力のおよそ 80%が配線で消費されてしまう[2]。この配線の性能と電力へのインパクトの劇的な増大は、明らかに既存のメタル／絶縁膜系の微細化によって生み出された挑戦項目であることを示している。近年の IC 製造は、技術手法単体では配線性能が限界に近づきつつあることを認識していた。これに対して、設計や構造の改善での取り組みで、配線技術の限界へ挑んできた。しかしながら、これらの優位点を持ってしても配線技術は、メタル／絶縁膜を凌駕する代替技術の開発や導入の機会を拡大してきた多くのアプリケーションにおいても、クリティカルなボトルネックとして残ってしまう。

機能の多様化:このセクションでの配線のロードマップは、主としてオンチップのグローバル配線に関連した遅延と電力の問題に取り組むことから始めたが、考えられる配線のオプションが、元来の趣旨からは少し外れて、より広範囲な選択肢を示していることがはっきりしてきた。これらの新たな選択肢は、コスト削減や、性能・機能、そして現在の半導体の他の特性の向上のために配線の選択肢を活用することを含んでいる。これらは、半導体の多様性に向けた配線技術の選択肢の新規の特性の活用をも包含する。この方向性は、化学構造上、選択的な抵抗を与え、センサーアレイが集積化された最適機能をも有する配線構造でのカーボンナノチューブのような例も含まれる。光配線は、グローバル配線での高帯域密度を与えるだけでなく、現在使われている信号伝達機能からの革新的な脱却が期待されるルートの選択が可能なオンチップでの電圧化変格子と組み合わせ、単一の光導波路(波長分割多重=WDM)中での多重波長にも使われる。これらの魅力的な可能性と配線代替技術の提案は、半導体産業にとって、顕著にその製品の拡大機会を与えるものである。

金属／絶縁体システム以後の配線

遅延／電力の問題を解決するために、金属／絶縁体システムの代替としていくつかの選択肢が提案されてきている。これらの代替案には、従来のオンチップ配線を魅力的に拡張(延命)することと同様、オンチップ配線、あるいはその一部の置き換えの可能性を含んできた。これらの拡張には、オンチップの電力／遅延問題からパッケージや設計スペースまでも解決策の幅が広がってきている。可能性のある有力なもののリストが Table INTC5 に示されている。これらのアプローチのいくつかは、技術的な視点からは比較的成熟しているが、

Al/SiO₂ や Cu/low-k に比較すると、すべての IC 製品種類に単独で一般的に使える解はない。Table INTC5 のリストは、これらの技術の現状を踏まえて、ITRS 配線ワーキンググループによる、ますます適用が複雑になることに対する見解である。これらの抜本的なアプローチは、プロトタイプデバイス開発例も非常に少なく、主要な垂直統合型デバイスメーカ (IDMs) における量産がないため、これらに関連する技術パラメータの公式ロードマップはない。また、これらの代替案のすべてが量産にも有効と証明されると期待できるわけではない。もし仮に、それらが技術的に可能なものだと示されても、いくつかの理由、事業性と経済性の両面から、使われな可能性もある。時間軸に対してパラメータを示した公式ロードマップの出現が、特定のアプローチが製品適用技術として選ばれた証拠となるであろう。そのようなロードマップは、“選択枝の絞りこみ”から“適用”への転換の時点において現れるであろう。ここに続くセクションでは、これらの選択枝についてより詳細に述べ、また、そのアプローチの有用性を高めるために解決が必要な課題について述べる。Table INTC5 に挙げられた金属／絶縁体システム以後の配線の中の、三つの選択枝が、太字で示されている。これら三つの選択枝は、金属／絶縁体システムの一部の代替として、あるいは、機能拡張応用への可能性として、最近の注目を集めており、以下のセクションにおいて他の選択枝より多く述べている。はじめのロードマップは、三次元配線について提供されている。なぜなら比較的近い将来において高密度配線の形成に使われると予測されているからである。ただし、特定の適用や時期がまだ確定していない段階である (パッケージレベルの低密度三次元配線は生産段階にあり、2007 年ロードマップではアセンブリとパッケージの章でカバーされていることに注意されたい)。

Table INTC5 Options for Interconnects Beyond the Metal/Dielectric System

<i>Use Different Signaling Methods</i> – Signal design – Signal coding techniques
<i>Use Innovative Design and Package Options</i> – Interconnect-centric design – Package intermediated interconnect – Chip-package co-design
<i>Use Geometry</i> – 3D
<i>Use Different Physics</i> – Optics (emitters, detectors, free space, waveguides) – RF/microwaves (transmitters, receivers, free space, waveguides) – Terahertz photonics
<i>Radical Solutions</i> – Nanowires/nanotubes – Molecules – Spin – Quantum wave functions

異なる信号伝送方式

この方法は現在利用できる技術を革新的な信号フォーマットや回路動作を追及する方向で活用して、通常用いられている矩形波よりも高速グローバル配線に合致する電流及び電圧波形を生成するものである。このための方法がいくつか提案されているが、そのうちの 2 つを下記に説明する。

レイズド・コサイン信号伝送 [1] — この方法を支持する人々は誘導性および容量性結合によって起こるノイズクロストークがますます重要な問題となり、いずれはローカルとグローバルな信号遅延をしのぐ問題になると主張する。この様々な原因によるクロストークの増加は以下の四点に起因する。1) デバイスのスケールアップや配線間、層間が近づくことによって起きる、容量・誘導・抵抗結合による、近接場カップリングの増加、2) 基板や電源線を介した離れた部分間でカップリングの増加、3) フリッカーや熱やショットノイズのようなデバイス自体からのノイズの増加、4) 配線の不連続性による高周波放射効果である。アグレッシブなクロック分配設計では、スキ

ューとジッターがクロック周期の 3–4%未満である必要がある。例として ITRS ロードマップではチップ上の局所的なクロックは 10GHz を目標に定めており、グローバルクロック率は 3GHz に近づいている。この場合、ジッターとスキューをそれぞれ 4ps と 13ps 以内に制御しなくてはならない。レイズド・コサイン技術は電力消費とノイズクロストークの両方を最小限に抑える高効率の電流モードドライバーはもちろんのこと、高速バスの基本関数として、矩形パルスの代わりにレイズド・コサイン波を利用することで、ノイズクロストーク対策をしている。この技術は特定の技術応用においてクロストークノイズを 40%も減らすことが示されている。

共鳴クロッキング [2] — 共鳴クロックアプローチにおいては、伝統的な tree-driven グリッドが、そのクロックノードの基本周波数でクロック容量が共鳴するようにオンチップインダクタと結合している。基本波のエネルギーは電場と磁場の間で行ったり来たりして揺れ動き、熱として散逸することは無い。クロックドライバーは、損失を補償するための基本波と、より鋭い(サイン波でない)クロックエッジを供給するのに必要な高周波を注入するのみである。グリッドの実効キャパシタンスは低くなり、グリッドを駆動するのにより少数のブレードドライバーしか必要としないので、パワーやクロックの遅延時間は改善される。共鳴系の Q 値によっては、グローバルクロック分配系で約 40%の電力削減が可能であると予想されている。しかしながら、グローバルクロック分配系の電力消費が全体で占める割合は小さいので、電力削減効果はあまり大きくないかもしれない。共鳴ネットワークのバンドパス特性とバッファーでの遅延が少ないことにより、スキューとジッターの低減効果は期待できるかもしれない。

重大な技術課題

- テスト、コスト、Si 面積のような量産性の問題
- これらの方法の限定的なスケーラビリティの拡張
- 共鳴回路のための高 Q オンチップコンポーネントの供給

革新的なデザインとパッケージオプション

周波数とパワーの増大により引き起こされる IC 製造の困難さに対するショートタームでの解決策は、材料やプロセス以外の技術によるアプローチであった。その方法とは主にデザインとパッケージによるものである。すでに最新の技術世代で達成されているが、このアプローチで超低誘電率膜やその他の革新的なグローバル配線形成技術の必要性を無くしている。このアプローチで必要なのはわずかにデザインツールのみで、それは基本的な回路構造とパッケージ構造が結合されているとき、デザイン最適化に必要な多スケールで多現象のモデリングとシミュレーションをするものである。このアプローチに対するいくつかの方法を下記に記述する。

配線中心のデザイン — クリティカルパスのデザインに既にいくつかの技術世代で用いられてきた手順は配線中心のデザインである。このアプローチでは、配線デザイナー配線計画、配線統合、配線レイアウトを含む — はデザイン過程のあらゆるレベルで最適化される(しばしば他の回路機能を犠牲にして)。このアプローチには、配線がボトルネックであるデザイン領域で性能を最適化するために現在の技術を使用する明白な利点がある。しかし 2 つの不利益がある。一番目は、このアプローチを実現するために適切な配線デザインツールと設計モデルをすべてのデザインに対して適用することができず、多くの場合カスタムになること。二番目に、このアプローチを実施し十分なメリットを得るためには、標準のデザインとレイアウトの改正をしばしば必要とする。このことは、ムーアの法則に従って過去に使用されてきたスケーリングと技術変化での利点と矛盾する。

パッケージを介した配線 — グローバル配線課題を緩和する選択肢として、配線の一部をチップ上からパッケージのより厚く高速の配線に移載する方法がある。この方法を「パッケージを介した配線」とよぶ。信号は適切なポイントでチップ上に戻される。このアプローチはマイクロプロセッサの入出力(I/O)能力の改善に大きく貢献できると考えられる。例えば、グローバル配線だけでなく、電源、グランド配線の問題を同時に改善する目的で、I/O 数を大幅に増加するための「密集リード(Sea of Leads)」手法がとられる可能性がある。パッケージを

介したアプローチのほとんどの要素技術は、研究所レベルで検証されている。電力要求や生産性、コストなどの問題に対して更なる調査が必要である。これらのアプローチの実用化に対して創造的な開発が必要とされており、追加される部品要素や結線の導入による、本質的なコストや信頼性での限界を回避する必要がある。課題を下記に示す。

- コストを下げるためにパッケージに革新的な変化が必要
- パッケージに用いられる絶縁膜の品質と均一性を向上させる。コストを上げないで実現する。
- デザインのトレードオフを理解する。例えば、このような大きな配線は、チップ上の配線よりもスイッチングに大きな電力が必要となる。
- 配線経路長やバンド幅の問題から、パッケージの配線ピッチを劇的に下げる必要がある。

チップとパッケージの共同デザイン — これは開発中の IC チップとパッケージのグローバルな最適化と評価を可能にするモデルとデザインを統一したものである。このデザイン方法を最適化すると、電氣的、熱的、機械的なシミュレーションや最適化を結合できるだろう。このアプローチでは共同デザインモデルを用いることで、デザインの様々な部分のトレードオフとなる複雑さを、取り込み、分配し、取り扱うことができるだろう。このアプローチは、チップ、パッケージ、およびボードを包含する必要がある(重要な相互作用があるなら)。

重大な技術課題

- 革新的な回路構造、あるいは回路とパッケージを結合したものに対するデザインを最適化するための、多スケールで多現象のモデリングとシミュレーションができるデザインツールの有効性
- チップとパッケージ間の新たな配線のコストと信頼性
- 新たに付加されたチップのコスト(使用時)
- チップとパッケージ間の配線を区分することによる設計課題
- プロービングとテストのコストと信頼性

三次元 IC

IC の高周波信号伝播の負荷を軽減させる簡単で、かつ、品格のある方法は、三次元配線を使用して能動素子を積み重ね、必要な配線長を減少させることである。このような三次元配線は、性能と高密度化の双方の理由からダイ上の配線を補完あるいは置き換えとして、提唱されてきた。本稿では、配線長の長いオンチップのグローバル配線の置き換えとしての三次元配線の現状を扱う。また、三次元配線による新たな他のアプリケーションにも言及する。以下の三次元配線の議論は独立のものであるが、参考文献は章末にまとめている。

イントロダクション

配線にとって、三次元配線の初期の興味は、ムーアの法則に則った二次元配線での遅延と消費電力の限界を回避することに始まる。その次には、三次元配線特有の利点の利用や、厳しくなるユーザーのニーズに応える機能の多様化を実現する他の“Beyond Cu/low-k 配線”との組合せである。半導体メーカーのこの後者へ興味は、互換性のないプロセスでのダイや、RF、ナノワイヤー、ナノチューブといった新規の配線材料との接続をするダイでの三次元配線を含む配線のロードマップを牽引している。このような特徴のある目標を与えられ、配線のロードマップは、ボンディングパッドピッチを凌駕する die-to-die の配線密度を三次元配線で実現する方向に向かっている。想定される“Beyond Cu/low-k 配線”のアプリケーションは、トランジスタレベルにまで引き下げられる可能性も考慮して、想定されるファンクションレベルあるいはそれ以下の三次元配線を要求することになる。これらの高密度三次元配線に要求されるプロセスと構造は、実装(アセンブリーとパッケージ)の三次元配線ロードマップとは異なる。今のところ、想定しているチップ同士の接続における密度が、配線と実装の分野では区別されており、配線章では HDTSV(高密度シリコン貫通ビア)を扱っている。

性能面での利点

ダイ上での配線の代替としての三次元配線の初期の利点は、遅延と消費電力の軽減である。潜在的な遅延と消費電力での優位性は、三次元配線の特長的な性質に依存するが、一般には、配線長の長いグローバル配線の典型的な理想的なリピータを含む配線での消費電力と遅延はリニアに配線長に依存する。計算[1]では、三次元配線でのグローバル配線長の短縮は、クロック周波数の4倍、配線での消費電力の2倍の削減に対応し、50%にも及ぶ。更なる三次元配線での優位性は、大面積を概ね50%削減できることである。これらの計算は単純なモデルに基づき、実際問題としてこれらの優位性を損なういくつかの因子があるにもかかわらず、三次元配線を使うことで大幅な改善ができそうなことが明らかになっている。三次元配線の第二の大きな性能面での優位性は、回路特性間の通信を可能にするフレキシビリティである。これはメモリを集積するプロセッサの動作の場合に適確に表現される[2]。三次元 IC の解決策は、メモリをプロセッサに近い位置づけにすることで、配線長を短くすることで、更なる電力消費を抑える可能性を秘めている。このアプリケーションに使われる三次元配線の手法は、高密度の die-to-die の接続を必要とする。この die-to-die の接続の厳しいジオメトリは、配線構造の一部であり、その種のことは、この ITRS の配線章で述べられている。

三次元配線のオプション

三次元実装周辺の産業の活性化は急速に進展している。ウェーハ～ウェーハ間ボンディング、ダイとウェーハ間のプロセス、そして、伝統的なダイ～ダイ間の SiP など、多くの異なった三次元実装の試みが検討されている。様々な層間の接合の手法では、金属間直接接合[3-5]や、融着性樹脂接合[6]、絶縁膜融着接合[7,8]なども検討されている。ウェーハやダイはフェイスアップあるいはフェイスダウンで接合される。個々には、各々のプロセスフローで固有の利点および不利な点があり、プロセスフローの選択は概ね、製品依存の状況にある。このように、三次元実装のロードマップの定義づけをし、様々なプロセスオプションにおけるリスク、コスト、技術課題を理解し始めることが重要である。

ウェーハ間の接合プロセス

ウェーハ間の三次元実装ではウェーハ上に別のウェーハが接合される。これはウェーハレベルのバッチタイプのプロセスを使える利点がある。この場合のコストは、量産性と歩留の観点で大きく削減できる可能性がある。この方法での潜在的な欠点は、接合された対のウェーハでの熱膨張率の不一致から温度の不均一によって引き起こされるウェーハ前面に亘って要求されるクリティカルなアライメントの精度を含む。積層された対の歩留まりは、下層の良品ダイと上層の不良品ダイの接合、あるいはその逆の組合せのときに低下する。他にも、ウェーハの撓みの制御や接合されたウェーハ対のストレス、接合ウェーハそれぞれのダイサイズの整合の要求、接合ウェーハ間の界面でのパーティクルの抑制など、クリティカルなプロセスの細かなところが存在する。

ダイとウェーハの接合プロセス

ダイ～ウェーハ間の三次元実装は、ボンディングのために KGD (Known Good Die) として選別されることで、ウェーハ間接合より高歩留を得られる可能性を秘めている。ダイ～ウェーハ間接合プロセスは、低歩留や少量生産面、及び、二層だけのデバイスの接合時ではとりわけ魅力的である。大規模な量産では、ダイ～ウェーハ間の実装のコストは、接合とアライメント工程に大きく影響される。現在の技術では、ダイのアライメントに“ピックアンドプレイス”装置を用いている。選ばれる接合のタイプによっては、より強固な接合を形成するために、ダイ～ウェーハ間接合のキーチャレンジがアライメント精度、接合方法、スループットのトレードオフとなることが認識されているように、熱や圧力を必要とする可能性がある。ダイ～ウェーハ間接合プロセスは2層以上のデバイスの積層にはより大きな技術課題となる。

フェイスアップとフェイスダウンのウェーハ接合

三次元実装におけるもうひとつの重要な指針はドナーとなるダイやウェーハがフェイスアップ(デバイス表面と裏面の F2B)接合か、フェイスダウン(デバイスの表面同士の F2F)接合かということである[9]。F2F 接合の利点は、パッドやビアのピッチがアライメント精度のみによって制限されるため、ダイ同士の配線密度を最大限にできる可能性があることである。さらに、F2F 接合は、上層のウェーハを支持基板に複雑なプロセスを必要とせず裏面の薄化を許容する[10]。F2F 接合の最大の不利な点は、二つのデバイスの積層に限られることで、

I/O 端子の接続のためには積層チップの対上に更なるプロセスの追加が必要なことである。F2B 接合は、2 層以上の積層時に必要とされる。F2B 接合のひとつの優位性は、I/O 端子は、ドナーウェーハの上層に引き出すことができる。実現可能なダイ～ダイ間のビア密度は小さくなるが、ビアはドナーダイのデバイス層を貫通して形成されなければならない。

高密度シリコン貫通ビア(HDTSV)の形成のオプション

HDTSV は、接合の前、あるいは後から、ウェーハを貫通して電氣的に接続を行うのに用いられる。ビアが接合の後に一括して形成される場合(ビアラスト)最適な HDTSV 形成のための十分な禁則領域を設計上で設けなければならない。今日の半導体では、数種の異なる絶縁膜(エッチングのケミストリーと速度が異なることも含め)が使われているように HDTSV のエッチングも技術課題である。バリア絶縁膜とメタル成膜も、高アスペクト比の加工やそれを埋め込む体積の観点からも技術課題である。接合後の HDTSV 形成では、潜在的に、ベンゾシクロブテン(BCB)の代表される接合材料の豊富さを秘めている。

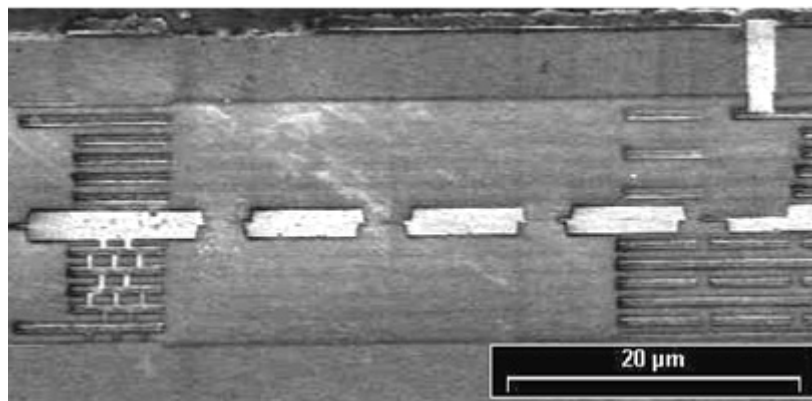
ビアが接合前に形成される場合(ビアファースト)、既存のプロセスフローを使用すればコストが削減できる。追加されるステップは、ウェーハの接合後にビアの電氣的接続である。オプションとしては、ビアを含むウェーハと支持基板との接続、埋め込みビアを裏面から露出させるための薄化を含む。ウェーハが F2F 接合で十分な接合強度がある場合、薄化には支持基板は不要となる。

HDTSV の設計とプロセスは、アッセンブリー・パッケージングのオプションと、高性能三次元配線技術の双方にとってキーとなる技術課題である。高密度ビアの品の生産を始めているところもあり、将来的に必要とされる機能を検討しているユーザーもある。配線に必要とされる HDTSV のロードマップ案を、Table INTC6 に示す。ただし、このロードマップは代表的な現在の開発状況と将来の見込みの両者を含んでいる。2007 年の値は、現在のプロトタイプデバイスに使われている代表的な数値で、近いうちに量産に適用できると言うものである。量産時には、この表は A&P 章で適切な値に改訂されて示されることになる。

ビア径と配線ピッチのレンジが表に示されているが、これに加え、別のカテゴリーとして高密度 F2F 接合構造も含まれている。HDTSV 全体の寸法がエッチング深さや、薄化・埋め込みの性能との兼ね合いでアグレッシブな薄化の目標も示されている。これらの HDTSV の寸法は、今日の量産向けのものではないが、既の実証されており、量産が期待されていることを注記しておく。Figure INTC12[11]には、図の右上隅の小さな寸法のビアファーストのコンタクトと同様に F2F 接合構造両者が含まれている。

Table INTC6 High Density Through Silicon via Draft Specification

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10
Minimum Interlayer HDTSV Contact Pitch (μm)									
High Density	3.2–5.0	2.9–4.4	2.6–3.8	2.2–3.4	2.0–3.0	1.6–2.6	1.4–2.2	1.3–2.0	1.0–1.7
HDTSV Diameter (μm)									
High Density	1.6–2.5	1.4–2.2	1.3–1.9	1.1–1.7	1.0–1.5	0.8–1.3	0.7–1.1	0.6–1.0	0.5–0.9
Maximum Via Density (cm ²)									
High Density	9.77E+06	1.21E+07	1.53E+07	1.99E+07	2.31E+07	3.91E+00	4.82E+07	6.10E+07	9.61E+07
Minimum Face-to-Face Pitch (μm)									
High Density	5.00	4.38	3.83	3.35	2.93	2.56	2.24	1.96	1.72
Maximum Layer Thickness (μm)									
High Density	7–25	7–25	7–25	6–20	6–20	6–20	5–15	5–15	5–15
Total Thickness Variation (μm)	<1			<0.75			<0.5		



- SEM Courtesy Of Tezzaron [11]

Figure INTC12 Two Wafers Stacked and Bonded Face-to-Face with a High Density Via Contact

技術課題

薄化

ウェーハは、バルクシリコンのグラインディング、CMP、ポリッシング、ウェットケミカルエッチやプラズマエッチを組合せて薄化される。出来上がりの厚さや全厚さバラツキ(TTV)の制御は後の工程にも重要になる。薄化ウェーハのハンドリングは、300mm ウェーハでは 100μm、200mm ウェーハで 75μm 以下になると非常に重要になる。薄化ウェーハは、チャック、カセット、搬送アームを使用するために暫定的な支持基板を必要とする。薄化前の 2 倍の厚さになる積層ウェーハ用の特注 FOUP 設計も必要になる。

HDTSV 形成

HDTSV のエッチングは、三次元配線にとって最も重要な実現すべきステップである。その課題は、高速で、側壁がスムーズで、側壁の傾きを制御でき、マスクからのアンダーカットを最小にする実現可能な HDTSV エッチングである。さらに、実現可能な HDTSV エッチは既存のプロセスと量産において、コスト、スループットが見合うことが必要である。

HDTSV は概ね、プラズマエッチングで形成されるが、YAG レーザを用いた集積化ビームを用いる場合もある[11-13]。HDTSV の径 25~150 μm 、深さ 50~150 μm がこの技術で実証されている。このプロセスのキーとなる利点は、ビア寸法を決めるリソグラフィーが不要なこと、レーザードリルエッチの代替となることである。これらの挑戦は、レーザ加工による残渣を除去することである。ビア径の微細化はこのアプローチでは限界がある。プロセスコストもまた、レーザードリルがシリアルプロセスの故、挑戦すべき項目となる。これらの課題への創造的な解決策がなければ、レーザプロセスは比較的“低密度の HDTSV”製品に限られるかも知れない。

ウェーハ接合

複数の異なるウェーハ接合は、三次元実装のためにその特有の利点と課題故に検討されている。典型的な三次元接合材料は、銅~銅や銅~錫共晶合金、低温絶縁膜融着接合、BCB などの樹脂を使った融着性接合、最後に支持基板との接合に一時的に用いられる接合を含んでいる。これらの接合手法が満たすべき一般的な挑戦項目は、デバイスへの応用時に高信頼性の接合界面を形成すると同時に更なるプロセス要求に応えられる、強固で、安定し、エッチング可能な接合材料を提供することである。

アライメント

ドナーダイやウェーハの基板へのアライメントは許容されるビア密度や三次元実装で使用する手法を決定する。適切なアライメントを与えることは、ダイ上の配線に置き換わる三次元実装にとって必要な配線密度を実現するための最も挑戦的な要求となる。実現可能な F2F ピッチはコストの見合うスループットでのアライメント性能により規定される。Table INTC6 に示されたピッチは、アライメント性能の向上に牽引される。典型的なアライメント性能は、アライメントに配分することのできる時間により、ダイ~ダイ間よりウェーハ~ウェーハ間のほうが高い。アライメントは赤外線を用い、上層ウェーハから下層のウェーハを見通して行われる。これは、二つのウェーハのそれぞれのチャックに認識させ、他のアライメント無しに基板を所定の場所に動かすような *ex situ* でのプロセスである。いくつかのプロセスでは、その後アライメントに先立って露光されるプロセスでアライメントキーを先に作成するものもある。

ダイ~ウェーハ間のアライメントは一般的に、フリップチップ用のアライメント・ボンダーを改造して行われる。手動の高精度のアライメントが可能であるが、時間がかかる。ウェーハレベルでのスループットが要求される高速の“ピックアンドプレイス”は、“アクティブな”アライメントを達成する最良の手法からは、アライメントが低下してしまう。最も高スループットの場合、“パッシブな”アライメントのみが可能となる。

その他の重大な技術課題

これに加え量産向け三次元実装に向けたいくつかの技術課題がある。これらに限られたものではないが、以下に示す項目に含まれる：

- 特定の製品へのアプリケーションを目指したオプションの中から、最適な選択を可能にする三次元デバイスの製造コストと歩留のモデル
- 放熱のための熱容量モデルと回路設計
- 三次元構造のプロロービングとテスト方法
- 三次元デバイスの信頼性
- 薄層化とウェーハ接合
- 三次元形成プロセスの標準化
- 最適化三次元構造の CAD ツール

信号伝達のための種々の物理

前述されたオプションで実現できるよりも更なる配線性能の向上を求めるのであれば、従来の金属 / 絶縁膜配線に代わる材料と構造を導入することが必要となろう。また、情報の担い手として電荷以外のものを用いることが必要となるかもしれない。現在検討されている三つの例を下記に示す。

CMOS 対応光配線

光配線は長年の間、長距離通信事業の中で用いられてきた。この性能を IC ジオメトリまでに縮小させ、CMOS テクノロジーと互換性を持たせる事は新しく、エキサイティングな技術課題である。CMOS 対応配線の以下の議論は自己完結型である。各セクションで示す参考文献は、章の終わりにリストアップしている。

イントロダクション

光学式の解決策は、オンダイ配線(信号及びクロック分布)と I/O に対して提案されている。オンチップ光配線のドライバーは、光速の信号伝播と導波管の広い帯域幅を利用する。I/O アプリケーション用として、光学式の解決策は、現在のパッケージ配線における損失で課せられる限界の克服、そして高出力均等化とブリエンファシスの必要性の最小限化或いは廃止によって、毎ビット当りのパワーの低減と同時に総帯域幅及び／または総距離を増大させる事に焦点を合わせている。I/O、信号及びクロック分布が同様な光学コンポーネントを必要とするので、研究及び生産に関わる費用は共有される。

遅延と出力の問題と同様にピッチ制約のため、光配線は、マイクロプロセッサにおいては金属・絶縁膜の下層配線層と完全に置き換わると見られていない。それよりも、焦点は、全体のシステム・パフォーマンス(すなわち全体の Cu/low-k 配線の置換ではない)を増大させるために、光学式のアーキテクチャのユニークな特性を利用する高い費用効率の手段にある。実行可能なそのような光学式の解決策において、CMOS 対応の光学コンポーネントの開発は最も重要である。重要な進歩はされているが、この分野は既存の配線ロードマップに交差を定義するには未だ十分に熟していない。

光配線の利点

上述したように、光配線の基本的な利点は光速の信号伝播と広帯域幅である。しかしながら、他の潜在的な利点もまた存在している。信号伝送パス間の最小クロストーク、導波管或いは自由空間内の伝送間で直ぐに変換される能力、そして多波長機能である。信号パス間の最小限のクロストークは、光子と光が導波管或いは自由空間内で伝播する能力の最小限の相互作用によるものであり、光回路において重要な設計柔軟性を提供する。一つの光パスが複数の導波管に適応する機能は、電気的手段では達成できない帯域幅密度を供給し、データ伝送容量マニホールドを増大させる。

インテグレーション・オプション

オンダイ光配線用の光学式アーキテクチャ:

多くの光学式のアーキテクチャは提案されているが、それらのほとんどは以下の2つのカテゴリーのうち1つに属する:

1. 統合した光源アーキテクチャ:

この場合、複数のダイ上に直接モジュール化された光源(例えば VCSELS)とオンダイ検出器がある。主な不利な点は、大きなオンダイ電力消費と光源からの放熱、そして早く、有能な CMOS 対応光源を集積化する重大な課題があることである。

2. 外部の光源アーキテクチャ:

これらは、パッケージ上或いはボード上の一つあるいは複数のオフダイ光源とオンダイ変調機と検出器を利用する方法である。このアーキテクチャの系統の主な利点は、レーザ出力源がオフダイ(すなわちダイを

通して伝送する必要が無い)であることである。主な不利な点は、光をチップに伝達する際の結合損失である。両方の場合において、特定波長のフィルタ／変調器は、多重送信化を実施するために使われる(それは、独立した複数の信号が各チャンネルにおいて伝達する事を可能にする)。

期待される利点

・遅延:

ダイ上の信号伝達の場合、光配線がそれらの金属・絶縁膜配線より速い臨界長を定義することが可能である。光学コンポーネントの品質に依存する臨界長は、ミリメートルのオーダーにあると評価されている[1]。

・シグナルインテグリティ

光配線は、金属・絶縁膜配線間の望ましくないクロストークから生じるデザインとレイアウトの制約を簡素化できる可能性を持っている。

・スキュー及びジッター:

光配線におけるクロストークの低い潜在性及び不在は、低スキュー及びジッタクロック分布に帰することは提案されている。しかし、従来の金属・絶縁膜システムに実装される高度なクロック分布設計が、マイクロプロセッサのニーズを満たすと見られている。

潜在的に不利な点: パワー、コスト、複雑さ

配線ヒエラルキーにおける潜在的用法: 上層における長距離配線

光学式の入出力のためのアーキテクチャ

光学式 I/O の提案された方法のほとんどは、以下の 2 つのアーキテクチャのうち 1 つの中に集約することができる:

・集積化 I/O:

この場合、光学コンポーネントはデジタルの論理チップに組み込まれる。部分的或いは全てのチップと外部との通信は光信号を通して行われる。

・ディスクリート I/O ダイ:

これらのアーキテクチャは、デジタルの論理チップから電気信号を受け取り、それらを光信号に変換する光学式 I/O チップを使う。同様に、光学的 I/O チップは光信号を受け取るが、それらの光信号は電気信号に変換され、デジタル論理チップに供給される。集積化 I/O の主な有利な点は、それがディスクリート I/O についてパワーを節約する可能性が高いことである。一方、ディスクリート・アーキテクチャは、光学コンポーネントがマイクロプロセッサ・ダイに集積化された場合に違った形で課せられるであろうデザイン及び集積化の制約のいくらかを取り除く。

期待される利点:

高い総帯域幅及びビット当りの低パワー、長距離 I/O の可能性、プリエンファシス及び等化機能ニーズの除去或いは最小限化

潜在的に不利な点: コスト、複雑さ

技術課題

現時点での光配線における主要な課題は、CMOS ラインと互換性のある経済的な低パワーコンポーネントを製造することである。これらのコンポーネントのいくつかに関連した課題が、以下のリストの中に含まれている。

コンポーネント

信号伝播のための光配線のオンチップ実装、クロック分布及び／或いは I/O は以下のコンポーネントのいくつかまたは全てを必要としている:

・光源:

変調機の観点から、光源は直接変調されるか或いは変調されないケースに分けられる。最初のケースでは、光源は電気信号によってオン・オフの切り替えが可能である。後者のケースでは、光源は電気信号によってコントロールできる変調器と共に使用される。位置選定の観点から、レーザはオフダイ(パッケージまたはボード)或いはオンダイが有り得る。重要なパラメータはパワー、効率、コスト、熱安定性、冷却条件及び直接変調器に対する速度である。光源の例として、VCSELS、量子ドットレーザ、及び端面発光半導体ダイオードレーザがある。最も広く使われている波長は 850、1310、及び 1550nm である。

・光検出器:

レーザの場合、光検出器がオンダイまたはオフダイのいずれかで集積化され得る。金属-半導体-金属構造の光検出器は、CMOS 技術との互換性が潜在的に高く[2]、また Si、Ge 及び SiGe を用いて形成されている[3-6]。重要な技術パラメータは、応答速度、動作電圧、入力容量、光電流対暗電流の比率、光電流対入力容量の比率、光結合効率及びディメンジョンである。最近、光検出器への光結合を促進するためプラズモンを利用した検出器が提案されている[7]。

・変調器／フィルタ:

変調器とフィルタは、一般的にはオフダイに配置した非変調光源と共に用いられる。変調器の主な目的は、光が標準デジタル信号を持つ特定の導波管に入る流れをコントロールすることである。周波数依存のフィルタは多重伝送を導入するために用いられ、一つの導波管において多数の信号伝送を可能にする。多種多様な CMOS 対応の変調器は、共鳴器及びマッハ・ツェンダー変調器の記載がある文献で報告されている。重要な性能パラメータは結合効率、動作電圧、切り換え時間、導波路損失、全体のパワー、変調深さ／減衰比率及び範囲である。

・導波管:

導波管は、チップ上の光伝搬を最小損失で提供する手段である。それらはまた、検出器への光の効率的な結合と同様に「屈曲配線」及び「回転配線」の実装を可能にする必要がある。導波管と周辺素材の大きな屈折率コントラストはきつい回転半径と小さなピッチを使用可能にするが、光速以下になる犠牲(それは実効屈折率の逆数で減少する)においてである。報告されている中で、産業で既に一般的に使用されている素材を適用したオンダイ導波管は、例えば SiO₂ クラッド層上に Si、Si₃N₄ 或いは Si₃O_xN_y コア層の構造である[8]。重要な技術パラメータはユニット長当りの損失、屈折率コントラスト及びピッチである。

・結合器/分岐器

結合器は、外部源からパッケージ及びダイへ光を導入するために用いられる。重要な評価指標は、結合効率、コスト及びアラインメント精度である。結合器における電力損失は、光学的システムにおいては光学的な量を支配し得る。スプリッタは、光源(レーザまたは単一の導波管)を二つ以上の導波管に分割するために用いられる。電力損失とサイズは、スプリッタに求められる二つの最も重要な品質の評価指標である。特に導波管と検出器の場合、CMOS 対応の光学コンポーネントの開発に対して重要な進捗が成されて来た。しかしながら、変調器、光源、そして完全に光配線の可能性を引き出すための結合器の開発といった更なる進捗がまだ必要とされている。

RF/マイクロ波配線

通常の金属／絶縁膜配線に対する相対的・根本的な代案は、チップのある部分から RF 或いはマイクロ波を通して別の部分に信号を伝える伝送線を用いる事である[1][2]。このオプションは本質的に伝送配線、受信器、アンテナ及び適切な信号生成と信号検出の電気回路によってチップ上で LAN 形態を取る方法である。この場合の伝送配線は、パッケージと IC 構造を通して“自由空間伝送”であることが提案されている。可能性のある別の手段は、RF 信号がパッケージ用リッドの中の導波管を通して容量結合されることである。伝送線は、適用された特定のシステム概念に依存して、正弦波信号としてまたはコード化されたデジタル信

号として提案されている。各オプションはそれ自身のユニークな要件と同様にそれ自身の特有の強みと弱みを持っている。グローバル配線に対するこのアプローチの基本的概念が示されている。グローバル配線へのこのアプローチの基本的概念は示されている。

重大な技術課題

- ・コストに対するトータルシステムの特徴付けと代替解決策との性能比較の完遂
- ・RF／マイクロ波の電気的かつ電磁氣的要素の完全なデザインルール化
- ・RF／マイクロ波伝送線向けの適切な IC 基盤及びパッケージ材料の明確化
- ・このアプローチに関連したパワー及びデザイン複雑性のトレードオフの十分な解釈

テラヘルツ導波管及びプラズモン

テラヘルツ波[1]とプラズモン[2]は、約 1THz から可視光までの伝送周波数を用いた RF と光伝播のハイブリッドである。これら、可能であれば Cu/low-k または SiO₂ で形成されたマイクロストリップ線路の導波管を通して伝達される。このアプローチは、材料系を変更することなく配線システムの帯域幅をかなり拡張することができるため魅力的である。このテクノロジーは光学式或いは RF よりも小さな形状に向いているかもしれない、また中間配線層にも適用できるかもしれない。

重大な技術課題

- ・低コストな Si CMOS とのモノリシックなインテグレーションが可能である高効率電源
- ・低コストな Si CMOS とのモノリシックなインテグレーションが可能である低パワーテラヘルツまたは光変調器
- ・低パワー、低コストな Si CMOS とモノリシックに集積化された微小形状の検出器を開発する必要がある(現在利用可能な小さなテラヘルツ検出器は主としてボロメーターで、テラヘルツ搬送波で請け負った帯域幅を齎さない)。
- ・インピーダンス、損失、減衰、モード安定性、耐電力化、電氣的信頼性、マイクロストリップ線路間のクロストーク及びその他と言ったパラメータを決定するマイクロストリップ線路のスケラビリティは、合成された一連のデザインルールで遂行されなければならない。

カーボンナノチューブ

カーボンナノチューブ (CNTs) は種々の産業界において多くの課題の解決策として提案されてきた。それらの高い電気伝導と熱伝導は、金属状態または半導体状態で成長することができることと相まって、配線構造への可能性のある応用として興味を引いている。このセクションでは、配線への応用として重要であるカーボンナノチューブの特性について記載する。このセクションは独立している。引用文献は文章中に番号を振り、章末に列挙してある。

イントロダクション

カーボンナノチューブはスピード、電力消費と信頼性の観点からオンチップ配線の性能を向上する解決策候補と考えられている。カーボンナノチューブは一原子の厚さの炭素層からなるグラフェンシートが円筒状になったものである。カーボンナノチューブはそれらの大きな電子の平均自由行程と機械的強度、高い熱伝導性、と大きな電流密度のような望ましい性質のために、将来の世代の技術として、大規模集積回路の配線としての応用に主な研究の興味を誘起してきた。配線サイズが微細化し、サイズ効果による Cu の抵抗上昇するにつれて、CNT 配線はさらに魅力的となっている。

CNT は単層 (SWCNT) または多層 (MWCNT) のどちらも存在する。SWCNT はただひとつのグラフェン殻か

らなっており、典型的な直径は1.4nmで、0.4nmから4nmの範囲で変動する[1,2]。MWCNTは数個の同心円のグラフェン円筒からなっており、外径は数nmから100nm程度まで変動する。そして、円筒同士の間隔は0.32nmであり、グラファイト中でのグラフェンシートの間隔と同じである[2]。SWCNTのグラフェン円筒または、MWCNTを形成する殻は幾何学的構造(対称性)に応じて金属または半導体の性質を示す。しかしながら、大きな直径($D > 5\text{nm}$)の半導体のグラフェン殻は電子の熱エネルギーに相当するか、小さいバンドギャップを有するため、室温では伝導体のように振舞う[2-4]。

SMCNTの束の場合、直径が増加すると常に導電性が下がることが実験と理論から確かめられている[1,5-7]。これは、直径の増加に対して線形的にしか電子の平均自由行程が増えないのに対して、ナノチューブの数が2次関数的に減少するためである。MWCNTについては、直径の増加により長いMWCNTの導電性は増加するのに対して、短いMWCNTの導電性が減少することが、理論的なモデルにより示唆されている[6]。これらの予測は実験的に完全には証明されていない。

CNTの利点

CNTは一次元性、グラフェンの特異なバンド構造や炭素原子同士の強い共有結合のため、Cu/Low-k配線に比べて、幾つかの利点を有している:

1. 高導電性(低抵抗)

一次元的な性質のためCNTにおける電子散乱の位相空間はまったく限定されており、電子の平均自由行程は銅金属中での40nmとは対照的に高品位のナノチューブでは μm の範囲となる。高密度に充填されたCNTの導電性では、長配線のCu配線より高くなる。しかしながら、短いCNTの束の導電性は、量子抵抗、すなわち、CNT-金属界面での散乱または、CNTの長手方向の散乱がない状態での量子細線の最小抵抗で制限される。電導チャネルの数に依存する値である量子抵抗は、基本的な制限である。金属SWCNTは二つの電導チャネルを有しており、その量子抵抗は $6.5\text{k}\Omega$ である[2,9]。

2. エレクトロマイグレーション耐性

グラフェン中の強固なsp²炭素結合はCNTに対して異常な機械的強度と材料のダメージや断線が観測されること無しに、Cuの $10^6\text{A}/\text{cm}^2$ の許容電流密度とは対照的に非常に大きな許容電流密度; $10^9\text{A}/\text{cm}^2$ をもたらす。250°Cという高温条件で、 $10^9\text{A}/\text{cm}^2$ 以上の高い電流密度がMWCNTに対して報告されている[10]。しかしながら、実質的にCNT配線の最大電流密度は接合によって制限されている。

3. 熱伝導性

孤立したCNTの縦方向の熱伝導性は理論的なモデル[11]と多孔性の束の実験データの外挿[12]から示唆されているように 6000 W/mK のオーダーと非常に高い。フリップチップ高出力増幅器用CNT放熱バンプの実験から[13]、熱抵抗とCNT束の面積とCNTの成長密度を使って実験的に求められた、MWCNTの熱伝導性は、 1400 W/mK に達する。比較として、Cuの熱伝導性は 385 W/mK であり、ダイヤモンドの熱伝導性は、 $900\text{--}2300\text{ W/mK}$ となっている。CNT中の熱伝導は非等方性であり、横方向の熱伝導は、縦方向に比べ、数桁程度低い。

集積化の選択肢

抵抗の短い配線が必要とされる箇所以外で、ほとんどの配線の階層のCu/Low-k配線[13]をCNTで置き換えることができる可能性がある。例えば、第一配線層で、電力とグラウンドを分配するためには、CNT配線は、ゲートピッチと同程度に短いナノチューブが必要とされるため、最小寸法のCu配線よりかなり高抵抗となるであろう。配線のRC遅延が重要となる長いグローバル配線を置き換える場合、CNTは重大な性能の優位性をもたらすことができる。

SWCNTは次のような形態でオンチップ配線への応用として集積化することができる:

1. SWCNTの束

電極と高品位の接続を有する、Cu/Low-k配線と同様な寸法の高密度に充填されたSWCNTの束は配線抵抗の低減とCu配線におけるサイズ効果の問題に解決策を提供するCu/Low-kを代替する理想的な候補となるであろう。この集積化の選択肢は、RC遅延が支配的である長配線の顕著な遅延改善を実現する[1,14-16]。

2. 数層のSWCNT配線

数層のSWCNTの配列は最大50%程度CNTからなる配線の容量を低減することができる。また、隣接する配線との静電結合をかなり減少することができる。このことはローカル配線の遅延と消費電力を低減するために有用である。特に、遅延が配線の抵抗ではなく、容量負荷により支配される短いローカル配線配線に対して、このような配列に、関心が持たれている[14]。

3. 大きな直径のMWCNT

適切な接続がすべてのMWCNTに形成されれば、MWCNT内のすべての殻が電導に寄与できることが理論的かつ実験的に証明されている[3,4,17]。高品位のMWCNTが非常に大きい平均自由工程を有することが報告されており[3,18]、また、理論的なモデルにより、転移の密度がSWCNTくらいに低く維持されており、すべての殻が金属接点と適切に接続しているならば、長い大きな直径のMWCNTは、CuやSWCNTさえも性能的に凌ぐ可能性を持っていることが示唆されている[6]。そのようなMWCNTはセミグローバル配線やグローバル配線に都合が良い。

4. グラフェンナリボン(GNR)

グラフェンナリボンは巻かれていないCNTと考えることができる。このグラフェンナリボンは従来のトップダウン技術であるリソグラフィーによってパターン形成することが可能であるにも拘らず、CNTの魅力的な性質の多くを引き継いでいる[19-23]。対称性を制御する方法すなわち、金属または半導体としての性質を制御する方法も見出されることであろう[19]。もし端部が無欠陥でない場合、電子は端部で散乱され、平均自由工程はGNRの幅と伝達モードの関数となる[19,23]。このことは、端部を持たないCNTに比した場合のGNRの不利な点であろう。

技術課題

初期の調査や予測的な研究はCNTによる従来のCu/Low-k技術の可能な代替に向かって有望な見通しを示してきたが、取り組むべき技術課題が数多く残されている。CNT集積化が直面する重要な技術課題を以下に示す。

1. CNTの高密度集積化を達成すること

CNTの束は十分に密である場合に限り、導電性でCuを凌駕することが可能となる。分散したSWCNTはチューブ間隔0.34nmの一定の間隔で密な規則的な配列を形成するが[24]、その場成長したCNTは現状、まったく疎であることが報告されている。Table INT C7には導電性が最小寸法のCu配線の性能を上回るために必要な金属SWCNTの最小密度を示している。技術的な進展とサイズ効果がCu配線に対して厳しくなるにつれて、要求される最小密度も小さくなる。触媒の材料とサイズがナノチューブの直径と密度を決めるキーのパラメータである。

フォノン限界の電子の平均自由工程が室温で $1\mu\text{m}$ であるSWCNTの直径は 1nm と推定される[25–27]。コンタクト抵抗はSWCNTの固有抵抗の10%に満たないと推定される。このことは、より長い束がより大きいコンタクト抵抗に耐えうることを意味している。直径 1nm の密に充填したすべて金属のSWCNTの束の理想的な密度は 0.66nm^{-2} である。

Table INTC7 Minimum Density of Metallic SWCNTs Needed to Exceed Minimum Cu Wire Conductivity

Technology Year	2007	2008	2009	2010	2011	2012	2013	2014	2015
Wire Pitch (nm)	136	118	104	90	80	72	64	56	50
Cu Resistivity ($\mu\Omega\text{-cm}$)	3.51	3.63	3.80	4.08	4.30	4.53	4.83	5.20	5.58
Minimum Density (nm^{-2})	0.204	0.197	0.188	0.175	0.166	0.158	0.148	0.138	0.128

Technology Year	2016	2017	2018	2019	2020	2021	2022
Wire Pitch (nm)	44	40	36	32	28	26	22
Cu Resistivity ($\mu\Omega\text{-cm}$)	6.01	6.33	6.70	7.34	8.19	8.51	9.84
Minimum Density (nm^{-2})	0.119	0.113	0.107	0.097	0.087	0.084	0.073

2. 金属SWCNTの選択成長

現時点のSWCNT成長プロセスは対称性の制御は不能である。統計的に、ランダムな対称性を有するSWCNTのわずか3分の1が金属電導を示す[2]。半導体のチューブに対する金属のチューブの比を向上することにより、比の向上に比例してSWCNTの束の導電性が増加する。半導体のSWCNTは配線応用に対して致命的ではなく、CNTのトランジスタ応用とは対照的に対称性の完全な制御は必要ではない。

3. CNTの指向性成長

この時点において、非常に挑戦的なステップは水平なCNTの成長を制御することである。垂直面での触媒配置は、垂直な成長より水平な成長をよりさらに挑戦的なものに行っている[28]。

4. 低抵抗コンタクトを実現すること

CNTとの金属電極のコンタクトは反射効果を生じるためコンタクト抵抗が発生する。このような反射は電極からCNT内部への電子波動関数の不十分な結合による。有望な理想に近いコンタクトは実験的に実現されている[4,30]。しかし、大きなコンタクト抵抗を報告している数多くの文献は、良好なコンタクト形成することに技術的な挑戦が必要であることを示している。低抵抗コンタクトを実現するためには、束中のSWCNT間[24]とさらにMWCNT内の殻間[2,17]の弱い結合のために、すべてのグラフェン殻と金属コンタクトの間で直接の接続が必要である。このことは、水平面に形成する束に対してとくに挑戦的である。CNT束に対するCMPがこの要求に対する解決策となるであろう[21,31]。

5. 無欠陥のCNTを実現すること

CNTは吸着した分子に非常に敏感である。CNT表面に吸着した分子がCNTの電気抵抗に影響を及ぼすことが見出されている[18,32]。このことは安定な性質のCNTを形成することにさらに技術的な課題を課すことになる。

6. 後工程に互換性のあるCNT成長

文献で報告されている最も高品位なCNTは 600°C というシリコンテクノロジーとは相容れない高温での成長で形成されている。一方、 400°C 程度と低温でのCNT成長を含む、有望な進歩も報告されている[20]。しかしな

がら、成長温度を低温化することで欠陥密度は一般的には増加する。さらに、CNT配線はすべてのCu配線を置き換えることが出来そうにはない。それゆえに、CNT配線形成技術は、Cu/Low-k技術との互換性が必要である。

CNT配線は有望であることが別個に示されたが、現実の回路にCNTを成功裏に組み合わせる努力はあまり数多くはない。CNTを用いたデバイスと配線がVLSIプロセスの主流になるまでには、依然として取り組むべき幾つかのプロセスに関連する課題と信頼性に関連する課題が存在する。このことで、CNTは刺激的なオープンな研究分野となっている。高品位コンタクトの形成のみならず、CNTの精製、分離、長さの制御、対称性と望みの位置合わせや熱的見積もり量などまだ解決すべき問題が残されている。

抜本的な解決策

先に述べたグローバル配線の解決策に加えて、ユニークな利点を持つ、より抜本的な選択肢がいくつかある。これらの抜本的な選択肢は、分子配線[1]、スピン結合[2]、量子波[3]のような分野を含む。これらの選択肢は開発の初期段階にあり、トータルで配線システムとして使えるというコンセプト実証や、生産に適した製造方法といった重大なニーズが共通して存在する。加えて、いくつかの抜本的な選択肢においては、新しく予想外の特性が研究が継続中で、カバーされてきていない[4]。配線問題に対する多くの重要な特性が、抜本的な解決策において実現されてきたが、コストや生産性の困難な課題に合致しながら、明確化されたロードマップ化を可能とするために、さらに創造的なアプローチが強く必要とされている。

以上の議論において、IC技術の発展に必要な、増大する要求に適合した配線の解決策を与える、いくつかの新しいコンセプトと抜本的な選択肢について述べてきた。いくつかの独立したアプローチについて述べてきたが、実際に使われる解決策は、アプリケーション毎に異なると予想され、また究極の解決策は上で述べたアプローチをいくつか組み合わせる必要があると予想される。これを実現する上で、すべての可能性のある技術を十分に検討して最適解を確実に手に入れるため、部門をまたいだ研究の重要性を強調することが必須である。

配線技術は、1959年のロバート・ノイスを発端として発展が続けられてきた。困難なCu/low-kへの転換でさえ、上で提案した破壊的な技術変革に較べれば、相対的に小さな技術転換である。多くの扱うべき技術課題が存在するが、それ以前に産業は解決策に到達するための投資を受け入れなければならない、次のいくつかの戦略上の質問にも答える必要があるであろう：

1. 配線全体の問題の解決策として、そのアプローチがどのように合致するのか？
2. その問題がどれくらい解決するのか？（そしてどの製品に？）
3. その技術は、いつ適用可能になるのか？
4. その技術の能力は、予想される適用時期において、どのようにニーズに適合するか？
5. それはどの程度、延命できるのか、あるいは何世代、利点を有するであろうか？
6. その解決策を有効に適用するために、他に開発が必要な技術は何であろうか？
7. その解決策を有効に適用するために、ソフトウェア、ハードウェア、生産、応用、事業の面で、どのような変化が必要であろうか？
8. どのような技術的課題を、適用までに解決する必要があるか、また、それらの現状はどうか？
9. 時間どおりに適用するために、やるべきこと／加えるべきことは何か？
10. どのようにして、その技術が主流に移行するであろうか？

分野をまたがる問題

配線と設計とモデリングとシミュレーション

配線に用いられる材料やその技術単独では、もはや、次世代の配線技術に必要な性能を引き出すことは不可能である。そのために配線のスケーリング則を支え続けるには、材料科学、基板技術、設計、モデリングとシミュレーションの相互関係がますます重要になっている。現状の配線設計ツールは、多層配線全体の性能を正確には予測できていない。さらに、そのモデルは RLC (抵抗、インダクタンス、容量) でなく RC (抵抗、容量) パラメータに基づいている。最高の性能を引き出すための設計の最適化は、試行錯誤に左右されていることもある。配線層数と周波数の増大につれ、デバイス全体の目標性能を達成するために、最先端部品の市場への投入時期は、レイアウトや配線 (機能ブロックの配置や配線層、線幅) の修正の能力に影響され続けている。設計の能力は、ユーザーが効果的に、近未来から長期に渡り利用できる拡張性がなければならない。次世代の配線のチャレンジすべき項目としては、とりわけ、

1. RLC にも対応したモデルは、10GHz あるいはそれ以上でのオペレーションに耐えうる必要がある (30GHz での、自由空間波長は、概ね 1cm まで)。この能力は RF またはテラヘルツ波配線にも必要となる。
2. 現実的なモデルにおいては、Cu 抵抗の上昇による配線遅延の影響を考慮しなければならない。これらのモデルにおいては、配線幅、アスペクト比、サイドウォールのラフネス、配線材料のグレインサイズとそれぞれの粒界、表面、不純物散乱係数を勘案したものであることが必要である。
3. サイドウォールへのプラズマダメージや絶縁膜中でプロセス中に起こる予期されない他の因子のモデリングも必要である。
4. 隣接する配線間のクロストークとダミー配線の影響による信号遅延の不確かさは、最適なモデルで考慮される必要がある。配線のアスペクト比が増大すると大きな問題になるからである。
5. プロセスばらつき (CD の許容誤差や配線高さばらつき、サイドウォールラフネス) は、線幅、ビア径の微細化に伴いますます重要になってくる。それゆえに、ばらつきを許容する設計とばらつきに敏感なモデルとシミュレーションが次世代技術をさせるために必要になってくる。
6. 機能ブロック配置の最適化手段は、3 次元 IC の個々のダイ上だけでなく、今や、スタックダイにも要求される。
7. 新しいモデルは、エミッタ及び検知器の待ち時間を考慮した光配線の最適化により開発されなければならない。
8. 上記の技術はすべて、ダイ全体の熱消費を増大させ、ダイ内で信頼性のクリティカルな「ホット・スポット」の発生数を増加させる。熱伝導を低減させる Low-k 絶縁膜のサーマルインパクトを予測できる熱予測モデル、RF 定常波、三次元積層 IC に埋め込まれている多くの熱発生と、それによる熱発生、光学装置や量子井戸デバイスの熱特性が必要になるのと同様である。

モデリングとシミュレーションは、配線の問題にかかわる全ての技術分野を支援する重要なツールである。要求されるモデリングとシミュレーションに必要とされる能力は、配線が IC レイアウトやその電気特性 (伝送遅延、ディストーション、信頼性など) に及ぼす効果といった高次元の予測から、(グレイン構造や、Cu とバリアメタルの界面や不純物による) Cu 配線の微細化による抵抗上昇や、新しい低誘電率層間膜やその他の馴染みのない配線材料を用いた物理構造の予測にまで及んでいる。

これら全ての場合において、モデリングとシミュレーションは、その要求と広範な実験のコストとを可能な限り軽減できるよう、十分な精度が必要である。これらの要求は、新たな配線技術と構成において十分に方向づけられた実験での最初のシミュレーションから、相当成熟した技術での実験でのばらつきの範囲内の可能性を予測する設計性能にまで及んでいる。

他の技術分野と同様に、配線におけるモデリングとシミュレーションへの要求は、勘案すべきパラメータとその影響が大きくなっているため、これまで以上に厳しくなっている。たとえば、熱伝導率の低い Low-k 絶縁膜に変更することにより、熱的、機械的、電気的なモデルの組み合わせを加速させている(これは、ロードマップの問題として、短期的なモデリングとシミュレーションの新たな技術課題となっている)。

モデリングとシミュレーションの配線に関する具体的な要求は:

- 問題となるアプリケーションに対してのスピードと正確さのトレードオフを最適化するための階層により、実際の理想化されていないプロセス(エッチング、PVD、CMPを含む)での複雑な構造(三次元のような)の配線性能予測(高周波効果と信頼性を含む);
- 目標仕様を満足するため、あるいは、不一致を識別するためのインテグレーションフローにおける製品とプロセス設計を結びつけるツールや手法;
- この配線中で使われている材料(金属、バリア、絶縁膜)の物理的・電気的特性と同様に、構造を予測する材料モデリングの能力等。

特に重要なのは Cu のサイズ依存性、表面拡散、エレクトロマイグレーション、そして CMP 時のシニングやディッシングである。「モデリングとシミュレーション」の章を参照されたい。

2007 ITRS INTERCONNECT APPENDIX

DIELECTRIC

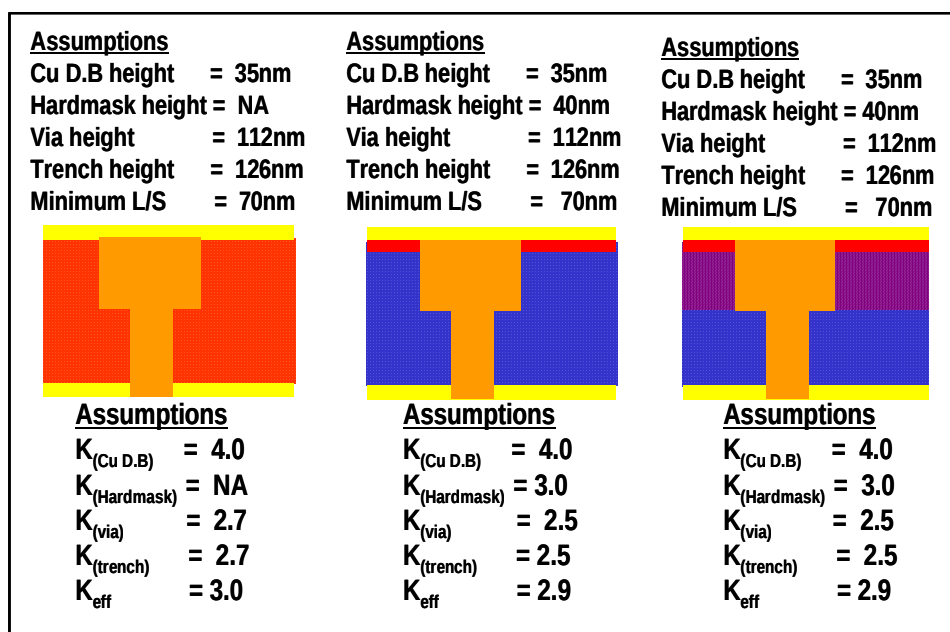


Figure A1 65 nm Dielectric Potential Solutions (2007, 2008) Aggressive Case

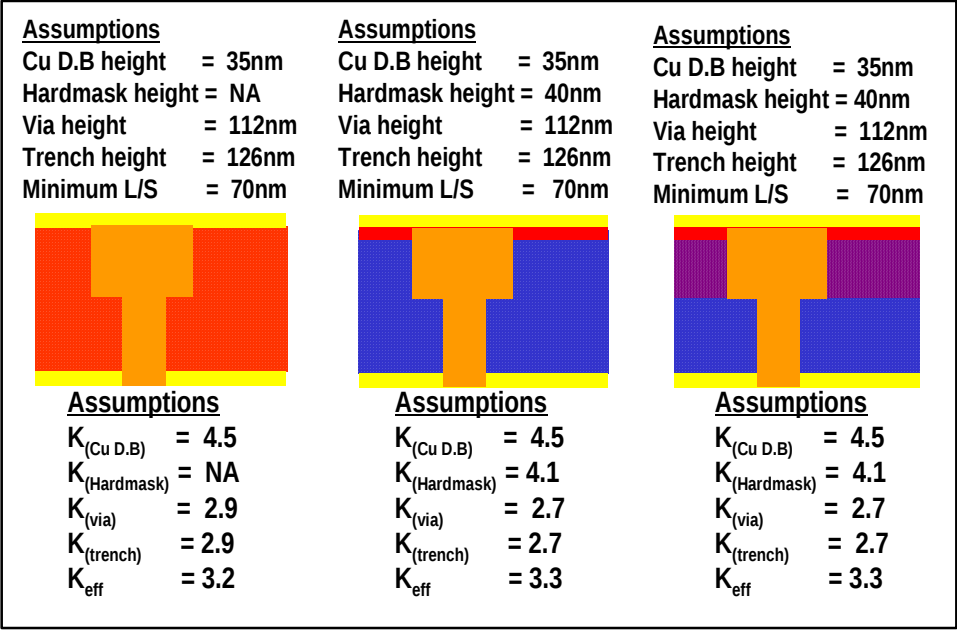


Figure A2 65 nm Dielectric Potential Solutions (2007, 2008) Realistic Case

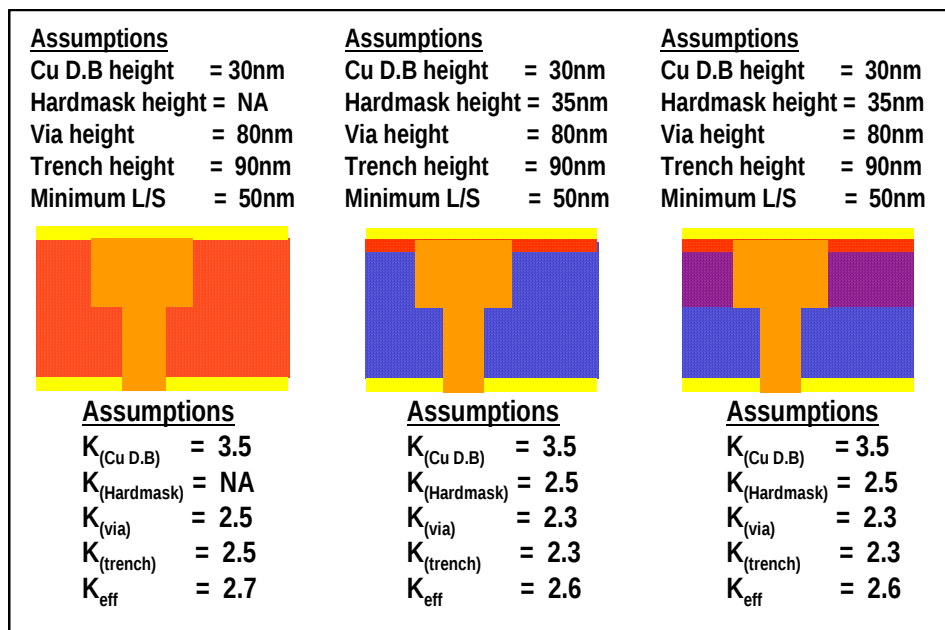


Figure A3 45 nm Dielectric Potential Solutions (2009, 2010, 2011) Aggressive Case

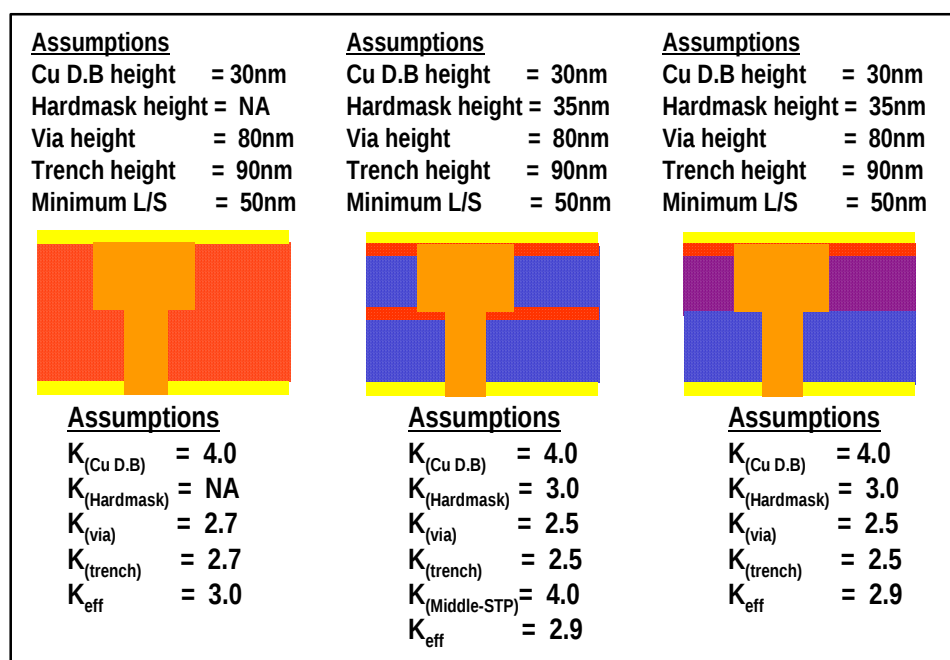


Figure A4 45 nm Dielectric Potential Solutions (2009, 2010, 2011) Realistic Case

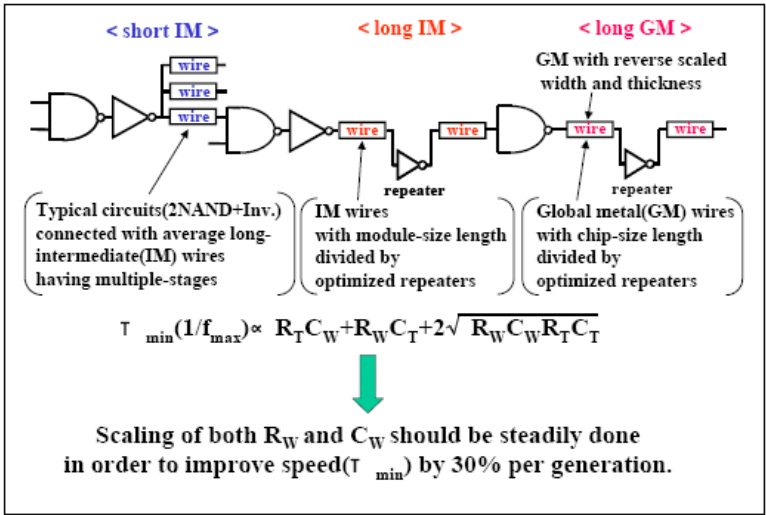


Figure A5 Critical Path in High-End SOC and RC Scaling Scenario

Table A1 Assumption on Interconnect Parameter Estimation Model

<Assumption on Interconnect parameter estimation>	
Design rule	x0.70/node-scaling, Reverse-scaling for GM
Chip-size	Constant(=7mm sq) as 1-clock cycle limit
Module-size	Constant(=1mm sq) based on gate density increase
Repeater	Inserted for SGM and GM wires
Gate density	x2.0/node(based on ITRS2002 MPU-R.M)
Active power density	x0.6/node with average-long IM wire
Logic depth	x0.75/node-scaling

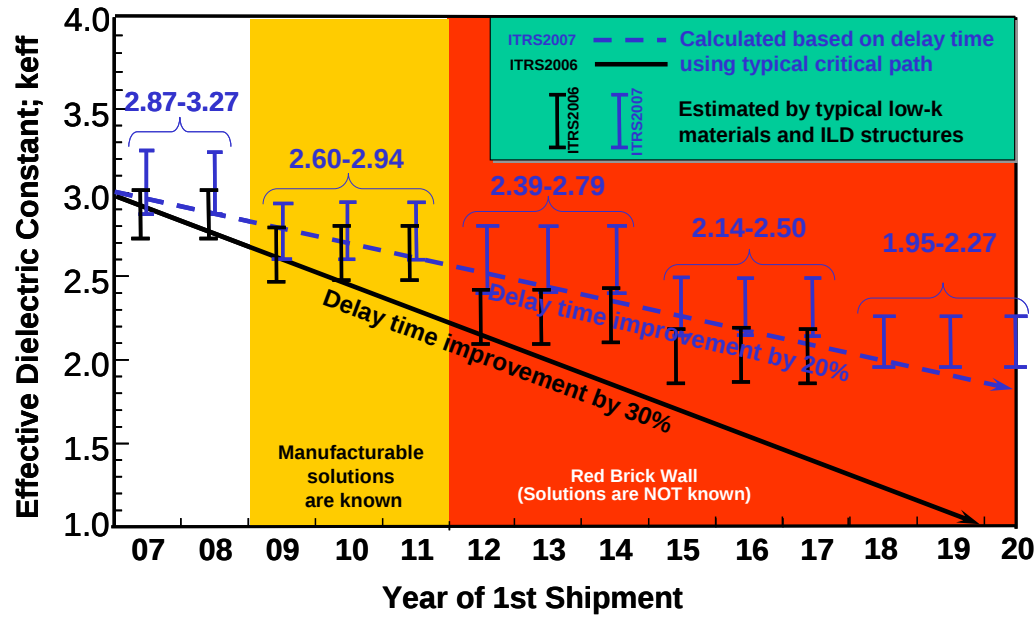


Figure A6 ITRS 2007 κ_{eff} Roadmap Revision

参考文献

導電体の解決策候補

- [1] Choe, H.S., et al, "MOCVD TiN Diffusion Barriers for Copper Interconnects, IITC, 1999, p 62
- [2] Ashtiani, K., et al, "Pulsed Nucleation Layer of Tungsten Nitride Barrier Film and its Application to DRAM and Logic Manufacturing," Semi Tech. Symposium, Semicon Korea 2006.
- [3] Chen, Y.C., et al, "Optimizing ALD WN Process for 65nm Node CMOS Contact Application" IITC, 2007, p 105
- [4] Shao, I. et al, "An Alternative Low Resistance MOL Technology with Electroplated Rhodium as Contact Plugs for 32nm CMOS and Beyond." IITC, 2007, p 102
- [5] Edelstein, D., et al, "A High Performance Liner for Copper Damascene Interconnects," IITC, 2001, p 9
- [6] Jiang, O-T., et al, "Investigation of Ta, TaN and TaSiN Barriers for Cu Interconnects' IITC, 1999, p 125
- [7] Vijayendran, A., et al, "Copper Barrier Properties of Ultrathin PECVD WN," IITC, 1999, p 123
- [8] Haukka, S., et al, "Deposition of Cu Barrier and Seed Layers with Atomic Layer Control," IITC, 2002, p 279
- [9] Mori, K., et al, "A New Barrier Metal Structure with ALD-TaN for Highly Reliable Cu Dual Damascene Interconnects" Proceedings of AMC, 2004, 693
- [10] Rossnagel, S.M., et al, "From PVD to CVD to ALD for Interconnects and Related Applications," IITC, 2001, p 3
- [11] van der Straten, O., et al, "Thermal and Electrical Barrier Performance Testing of Ultrathin Atomic Layer Deposition Tantalum-Based Materials for Nanoscale Copper Metallization," IITC, 2002, p 188
- [12] Watanabe, T., et al "Self-Formed Barrier Technology using CuMn Alloy Seed for Cu Dual-Damascene Interconnect with Porous-SiOC/ Porous-Par Hybrid Dielectric," IITC, 2007, p 7
- [13] Hu, C.K., et al, "A Study of Electromigration Lifetime for Cu Interconnects Coated with CoWP, Ta/TaN, or SiCxNyHz," Proceedings of AMC, 2003, p 253
- [14] Gosset, L., et al, "Self Aligned Barrier Approach: Overview on Process, Module Integration and Interconnect Performance Improvement Challenges", IITC, 2006, p 84
- [15] Demuyneck, S., et al, "Impact of Cu Contacts on Front End Performance: A Projection Towards 22nm Node", IITC, 2006, p 178
- [16] Clevenger, L., et al, "A Novel Low Temperature CVD/PVD Al Filling Process for Producing Highly Reliable 0.175 μm Wiring/0.35 μm Pitch Dual Damascene Interconnections in Gigabit Scale DRAMS, IITC, 1998, p 137
- [17] Edelstein, D., et al, "Full Copper Wiring in a Sub-0.25 μm CMOS ULSI Technology," Tech. Digest IEEE IEDM Meeting, 1997, p 773
- [18] Heidenreich, J., et al, "Copper Dual Damascene Wiring for Sub-0.25 μm CMOS Technology," IITC, 1998, p 151
- [19] Reid, J., et al, "Optimization of Damascene Feature Fill for Copper Electroplating Process," IITC, 1999, p 284
- [20] Tada, M. et al, "A Metallurgical Prescription for Electromigration (EM) Reliability Improvement in Scaled-down, Cu Dual Damascene Interconnects", IITC, 2006, p 89
- [21] Kuan, T.S., et al, "Fabrication and Performance Limits of Sub-0.1 Micrometer Cu Interconnects," Mat. Res. Soc. Symp. Proc., 2000, Vol. 612, D7.1.1
- [22] Jiang, O-T., et al, "Line Width Dependency of Copper Resistivity," IITC, 2001, p 227
- [23] Schindler, G., et al, "Assessment of Future Nanoscale Interconnects: Resistivity of Copper and Aluminum Lines", Proceedings of AMC, 2004, p 305
- [24] Seah, C.H., et al, Growth Morphology of Electroplated Copper: Effect of Seed Material and Current Density, IITC, 1998, p 157
- [25] Ho, P., et al, "Extending PVD Copper Barrier Process Beyond 65nm Technology, AMC, 2005, p 421.
- [26] Gandikota, S., et al, "Characterization of Electroless Copper as a Seed Layer for sub 0.1 μm Interconnects" IITC, 2001, p 30
- [27] Haumesser, P.H., et al, "Electro-grafting: A New Approach for Cu Seeding or Direct Plating", Proceedings of AMC, 2003, p 575
- [28] Malhotra, S.G., et al, "Integration of Direct Plating of Cu Onto a CVD Ru Liner" Proceedings of AMC, 2004, p 525
- [29] Andryuschenko, T., et al, "Electroless and Electrolytic Seed Repair Effects on Damascene Feature Fill," IITC, 2001, p 33

信頼性

- [1] J.R. Black, Proceedings of the IEEE, 57 (1969), 1587-1589
- [2] C.K. Hu et al, Applied Physics Letters, 74, (1999), 2945-2947
- [3] C.K. Hu et al, Proceedings of International Reliability Physics Symposium, (2004), p. 222
- [4] L. Baozhen et al, Proceedings of International Reliability Physics Symposium, (2005), p. 24
- [5] C. K. Hu et al, presented at 9th International Workshop on Stress Induced Phenomena in Metallization, Kyoto April 4-6 2007
- [6] S. Yokokawa et al, Proceedings of International Reliability Physics Symposium (2006), p. 667
- [7] I.A. Blech, J. Appl. Phys, (1976), 1203-1208
- [8] C.S. Hau Riege et al, J. Appl. Phys, (2004), 5792-5796
- [9] J.R. Lloyd et al, AIP Conf. Proc., (817) 2006 p. 23

新しい配線技術コンセプトと抜本的な解決策

イントロダクションの参考文献

- [1] J. Davis and J. Meindl, *Interconnect Technology and Design for Gigascale Integration*, Kluwer Academic Publishers, 2003.
- [2] N. Magen, A. Kolodny, U. Weiser, N. Shamir, "Interconnect-Power Dissipation in a Microprocessor," ACM System-Level Interconnect Prediction Workshop, Feb 2004

異なる信号伝送方式の参考文献

- [1] R. Bashirullah and W. Liu, "Raised Cosine Approximation Technique for reduced Simultaneous Switching Noise," IEE Electronic Letters, vol. 38, no. 21, pp. 1256-1258, Oct. 10, 2002.
- [2] F. O'Mahony, C. Yue and S. Wong, "10GHz Clock Distribution Using Coupled Standing-Wave Oscillators," *International Solid State Circuits Conference Digest of Technical Papers*, pp. 428-429, San Francisco, CA, February 2003.

革新的なデザインとパッケージオプションの参考文献

- [1] J. Cong and J. Shinnerl, editors, *Multilevel Optimization in VLSICAD*, Kluwer Academic publishers, 2003.
- [2] Muhannad S. Bakir, Hollie A. Reed, Paul A. Kohl, Kevin Martin, James D. Meindl, "Sea of Leads ultra-high density compliant wafer level packaging technology", Proc. ECTC, 2002, pp. 1087-1094.
- [3] A.C. Cangelaris, "Electrical Modeling and Simulation Challenges in Chip-Package Codesign," IEEE Micro, vol. 18, pp. 50-59, 1998.

ジオミトリー - 三次元IC の参考文献

- [1] J. W. Joyner et al, "Impact of Three-Dimensional Architectures on Interconnects in Gigascale Integration," *IEEE Trans. On VLSI Systems*, Vol. 9, No. 6, Dec. 2001.
- [2] J. MacCalpin, "STREAM" Sustainable Memory Bandwidth in High Performance Computers," a continually updated technical report (1991-2007), see <http://www.cs.virginia.edu/stream/>.
- [3] R. Patti et al., "Techniques for Producing 3D IC's with High-Density Interconnect," *Proceedings of 21st International VMIC Conference*, pp. 93-97, 2004.
- [4] P. Morrow et al., "Wafer-Level 3D Interconnects Via Copper Bonding," *Conference Proceedings of the AMC*, pp. 125-130, 2005.
- [5] S. Das et al., "Technology, Performance, and Computer-Aided Design of Three-Dimensional Integrated Circuits," *International Symposium on Physical Design*, pp. 108-115, 2005.
- [6] S. Pozder et al., "Back-End Compatibility of Bonding and Thinning Processes for a Wafer-Level 3D Interconnect Technology Platform," *Proceedings of the IEEE IITC*, pp. 102-104, 2004.
- [7] A. Topol et al., "Enabling Technologies for Wafer-Level Bonding of 3D MEMS and Integrated Circuit Structures," *54th Electronic Components and Technology Conference*, pp. 931-938, 2004.
- [8] K. Warner et al., "Low-Temperature Oxide-Bonded Three-Dimensional Integrated Circuits," *IEEE International SOI Conference*, pp. 123-125, 2002.
- [9] C. Tan et al., "A Back-to-Face Silicon Layer Stacking for Three-Dimensional Integration," *IEEE International SOI Conference*, pp. 87-89, 2005.
- [10] J-Q. Lu et al., "Die-on-Wafer and Wafer-Level Three-Dimensional (3D) Integration of Heterogeneous IC Technologies for RF-Microwave-Millimeter Applications," *Mater. Res. Soc. Symp. Proc.* Vol. 833, pp. 229-235, 2005.
- [11] R. Patti, "Three Dimensional Integrated Circuits and the Future of System-on-Chip Designs", *Proceedings of the IEEE* Vol. 94, No. 6, pp. 1214-1224, June 2006.
- [12] "Samsung Develops 3D Memory Package that Greatly Improves Performance Using Less Space," Press Release April 13, 2006, see <http://www.samsung.com>.
- [13] K. Lee, "Wafer-Level Stack Package (WSP) Technology," presented at *3D Architectures for Semiconductor Integration and Packaging*, Tempe AZ, June 2005.

信号伝達のための種々の物理

CMOS COMPATIBLE OPTICAL INTERCONNECTS

- [1] K. Cadien, M. Reshotko, B. Block, A. Bowen, D. Kencke, and P. Davids, "Challenges for On-Chip Optical Interconnects," *Proceedings of SPIE* 2005, Vol. 5730, pp. 133-143
- [2] Siegert, M.; Loken, M.; Glingener, C.; Buchal, C.; "Efficient optical coupling between a polymeric waveguide and an ultrafast silicon MSM photodiode," *IEEE Journal on Selected Topics in Quantum Electronics*, Volume 4, Issue: 6, Nov.-Dec. 1998, pp. 970 -974.
- [3] Buca, D., Winnerl, S., Lenk, S., Mantl, S. And Buchal, Ch., "Metal-Germanium-Metal Ultrafast Infrared Detectors," *J. Appl. Phys.*, Vol. 92, no. 12, December 2002, pp. 7599-7605.
- [4] Oh, J., Banerjee, S.K. and Campbell, J.C., "Metal-Germanium-Metal Photodetectors on Heteroepitaxial Ge-on-Si with Amorphous Enhancement Layers," *IEEE Phot. Tech. Lett.*, vol. 16, no. 2, February 2004, pp. 581-583.

- [5] Yang, B., Schaub, J.D., Csutak, S.M., Rogers, D.L., and Campbell, J.C., "10 Gb/s All-Silicon Optical Receiver," *IEEE Phot. Tech. Lett.*, vol. 15, no. 5, May 2003, pp. 745-747.
- [6] Colace, L., Masini, G. and Assanto, G., "Ge on Si Approaches to the Detection of Near-Infrared Light," *IEEE J. of Quantum Electronics*, vol. 35, no. 12, pp. 1843-1852.
- [7] Junichi Fujikata, Tsutomu Ishi, Daisuke Okamoto, Kenichi Nishi, and Keishi Ohashi, "Highly Efficient Surface-Plasmon Antenna and its Application to Si Nano-Photodiode", IEEE Lasers & Electro-Optics Society, 2006, pp. 476-477.
- [8] Matsuura, T., Yamada, A, Murota, J., Tamechika, E., Wada, K, and Kimerling, L.C., "Optoelectronic Conversion Through 850 nm Band Single mode Si₃N₄ Photonic Waveguides for Si-On-Chip Integration," Device Research Conference, 2002, 60th DRC. Conference Digest, June 24-26. 2002, pp. 93-94.

RF, MICROWAVE INTERCONNECTS

- [1] K. K. O et al, "Wireless Communications Using Integrated Antennas", Proceedings of the 2003 International Interconnect Technology Conference, pp. 111-113, 2003.
- [2] S. E. Mick, J. M. Wilson, and P. Franzon, "4 Gbps AC Coupled Interconnection," (*invited paper*), IEEE Custom Integrated Circuits Conference, May 12-16, 2002, pp. 133-140.

GUIDED TERAHERTZ WAVES AND PLASMON INTERCONNECTS

- [1] W. Knap, Y. Deng, S. Rumyantsev, J.-Q. Lu, M. S. Shur, C. A. Saylor, L. C. Brunel, "Resonant Detection of Sub-Terahertz Radiation by Plasma Waves in the Submicron Field Effect Transistor," *Appl. Phys. Lett.* Vol. 80, No. 18, pp. 3433-3435 (2002).
- [2] Stefan A. Maier*, Pieter G. Kik, Luke A. Sweatlock, and Harry A. Atwater; *Mat. Res. Soc. Symp. Proc. Vol. 777* © 2003 Materials Research Society p T7.1.1- T7.1.12

カーボンナノチューブ配線

- [1] A. Nieuwoudt and Y. Massoud, "Evaluating the impact of resistance in carbon nanotube bundles for VLSI interconnect using diameter-dependent modeling techniques," *Electron Devices*, IEEE Transactions on, vol. 53, pp. 2460-2466, 2006.
- [2] M. S. Dresselhaus, G. Dresselhaus, and P. Avouris, *Carbon nanotubes: synthesis, structure, properties, and applications*. Berlin; New York: Springer, 2001.
- [3] H. J. Li, W. G. Lu, J. J. Li, X. D. Bai, and C. Z. Gu, "Multichannel ballistic transport in multiwall carbon nanotubes," *Physical Review Letters*, vol. 95, pp. 086601-4, 2005.
- [4] M. Nihei, D. Kondo, A. Kawabata, S. Sato, H. Shioya, M. Sakaue, T. Iwai, M. Ohfuti, and Y. Awano, "Low-resistance multi-walled carbon nanotube vias with parallel channel conduction of inner shells," in *Proc. IEEE Int. Interconnect Tech. Conf.*, 2005, pp. 234-236.
- [5] X. Zhou, J.-Y. Park, S. Huang, J. Liu, and P. L. McEuen, "Band Structure, Phonon Scattering, and the Performance Limit of Single-Walled Carbon Nanotube Transistors," *Physical Review Letters*, vol. 95, pp. 146805-4, 2005.
- [6] A. Naeemi and J. D. Meindl, "Compact Physical Models for Multiwall Carbon-Nanotube Interconnects," *Electron Device Letters*, IEEE, vol. 27, pp. 338-340, 2006.
- [7] J. Jiang, J. Dong, H. T. Yang, and D. Y. Xing, "Universal expression for localization length in metallic carbon nanotubes," *Physical Review B*, vol. 64, pp. 045409, 2001.
- [8] P. L. McEuen, M. S. Fuhrer, and P. Hongkun, "Single-walled carbon nanotube electronics," *Nanotechnology*, IEEE Transactions on, vol. 1, pp. 78-85, 2002.
- [9] S. Reich, C. Thomasen, and J. Maultzsch, *Carbon Nanotubes: Basic Concepts and Physical Properties*: Wiley-VCH, 2004.
- [10] B. Q. Wei, R. Vajtai, and P. M. Ajayan, "Reliability and current carrying capacity of carbon nanotubes," *Applied Physics Letters*, vol. 79, pp. 1172-1174, 2001.
- [11] S. Berber, Y.-K. Kwon, and D. Tománek, "Unusually High Thermal Conductivity of Carbon Nanotubes," *Physical Review Letters*, vol. 84, pp. 4613, 2000.
- [12] J. Hone, M. Whitney, C. Piskoti, and A. Zettl, "Thermal conductivity of single-walled carbon nanotubes," *Physical Review B*, vol. 59, pp. R2514, 1999.
- [13] T. Iwai, H. Shioya, D. Kondo, S. Hirose, A. Kawabata, S. Sato, M. Nihei, T. Kikkawa, K. Joshin, Y. Awano, and N. Yokoyama, "Thermal and Source Bumps utilizing Carbon Nanotubes for Flip-chip High Power Amplifiers," in *IEEE IEDM Digst.*, 2005, pp. 257-260.
- [14] A. Naeemi and J. D. Meindl, "Design and Performance Modeling for Single-Walled Carbon Nanotubes as Local, Semiglobal, and Global Interconnects in Gigascale Integrated Systems," *Electron Devices*, IEEE Transactions on, vol. 54, pp. 26-37, 2007.
- [15] S. Salahuddin, M. Lundstrom, and S. Datta, "Transport effects on signal propagation in quantum wires," *Electron Devices*, IEEE Transactions on, vol. 52, pp. 1734-1742, 2005.
- [16] A.S. Verhulst, M. Bamal, and G. Groeseneken, "Carbon nanotube interconnects: will there be a significant improvement compared to copper?" poster at INC3, Brussels, Belgium, 17-19 April 2007.
- [17] J. Y. Huang, S. Chen, S. H. Jo, Z. Wang, D. X. Han, G. Chen, M. S. Dresselhaus, and Z. F. Ren, "Atomic-Scale Imaging of Wall-by-Wall Breakdown and Concurrent Transport Measurements in Multiwall Carbon Nanotubes," *Physical Review Letters*, vol. 94, pp. 236802-4, 2005.

- [18] C. Berger, Y. Yi, Z. L. Wang, and W. A. de Heer, "Multiwalled carbon nanotubes are ballistic conductors at room temperature," *Applied Physics A: Materials Science & Processing*, vol. 74, pp. 363-365, 2002.
- [19] C. Berger, Z. Song, X. Li, X. Wu, N. Brown, C. Naud, D. Mayou, T. Li, J. Hass, A. N. Marchenkov, E. H. Conrad, P. N. First, and W. A. de Heer, "Electronic Confinement and Coherence in Patterned Epitaxial Graphene," *Science*, vol. 312, pp. 1191-1196, 2006.
- [20] M. Nihei, A. Kawabata, T. Hyakushima, S. Sato, T. Nozue, D. Kondo, H. Shioya, T. Iwai, M. Ohfuti and Y. Awano, "Carbon Nanotube Via Technologies for Advanced Interconnect Integration," in Extended abstracts 2006 Int. Conf. on Solid State Devices and Materials, 2006, pp. 140-141.
- [21] R. Van Noorden, "Moving towards a graphene world," *Nature*, vol. 442, pp. 228-229, 2006.
- [22] D. A. Areshkin, D. Gunlycke, and C. T. White, "Ballistic Transport in Graphene Nanostrips in the Presence of Disorder: Importance of Edge Effects," *Nano Lett.*, vol. 7, pp. 204-210, 2007.
- [23] A. Naeemi and J. D. Meindl, "Conductance Modeling for Graphene Nanoribbon (GNR) Interconnects," *Electron Device Letters*, IEEE, vol. 28, pp. 428-431, 2007.
- [24] K. Liu, P. Avouris, R. Martel, and W. K. Hsu, "Electrical transport in doped multiwalled carbon nanotubes," *Physical Review B*, vol. 63, pp. 161404, 2001.
- [25] T. Hertel and G. Moos, "Electron-Phonon Interaction in Single-Wall Carbon Nanotubes: A Time-Domain Study," *Physical Review Letters*, vol. 84, pp. 5002, 2000.
- [26] E. Pop, D. Mann, J. Reifenberg, K. Goodson, and H. Dai, "Electro-thermal transport in metallic single-wall carbon nanotubes for interconnect applications," in *IEEE IEDM Digest.*, 2005, pp. 253-256.
- [27] A. Naeemi and J. D. Meindl, "Physical Modeling of Temperature Coefficient of Resistance for Single- and Multi-Wall Carbon Nanotube Interconnects," *Electron Device Letters*, IEEE, vol. 28, pp. 135-138, 2007.
- [28] A. Cao, R. Baskaran, M. J. Frederick, K. Turner, P. M. Ajayan, and G. Ramanath, "Direction-Selective and Length-Tunable In-Plane Growth of Carbon Nanotubes," *Advanced Materials*, vol. 15, pp. 1105-1109, 2003.
- [29] M. Nihei, D. Kondo, A. Kawabata, S. Sato, H. Shioya, M. Sakaue, T. Iwai, M. Ohfuti, and Y. Awano, "Low-resistance Multi-walled Carbon Nanotube Vias with Parallel Channel Conduction of Inner Shells," in *IEEE International Interconnect Technology Conference 2005*, pp. 234-236
- [30] D. Mann, A. Javey, J. Kong, Q. Wang, and H. Dai, "Ballistic Transport in Metallic Nanotubes with Reliable Pd Ohmic Contacts," *Nano Lett.*, vol. 3, pp. 1541-1544, 2003.
- [31] M. Nihei, T. Hyakushima, S. Sato, T. Nozue, M. Norimatsu, M. Mishima, T. Murakami, D. Kondo, A. Kawabata, M. Ohfuti and Y. Awano, "Electrical Properties of Carbon Nanotube Via Interconnects Fabricated by Novel Damascene Process," in *IEEE International Interconnect Technology Conference 2007*, pp. 204-206.
- [32] P. G. Collins, K. Bradley, M. Ishigami, and A. Zettl, "Extreme Oxygen Sensitivity of Electronic Properties of Carbon Nanotubes," *Science*, vol. 287, pp. 1801-1804, 2000.

抜本的な解決策

- [1] N. Rana, *et al.*, "Investigation of substrate selective covalent attachment for genetically engineered molecular interconnects", Materials Research Soc. Research Soc. Symp. Proceedings Vol. 728 (2002).
- [2] IEEE Transactions on Electron Devices, Special Issue on Spintronics, v. 54, no. 5, May 2007.
- [3] Arijit Raychowdhury and Kaushik Roy, "Nanometer Scale Technologies: Device Considerations" in "Nano, Quantum And Molecular Computing: Implications To High Level Design And Validation", Kluwer Academic Publishers, ISBN: 1402080670, June 2004.
- [4] Azad Naeemi and James D. Meindl, "Performance Comparison Between Carbon Nanotube and Copper Interconnects for Gigascale Integration", IEEE Electron Device Letters, pp. 84-86, vol. 26, No. 2, February, 2005.